

明 細 書

表示装置

5 技術分野

本発明は、シリアルデータに基づいて複数の電極を駆動するデータドライバを備えた表示装置に関する。

背景技術

- 10 PDP（プラズマディスプレイパネル）を用いたプラズマディスプレイ装置は、薄型化および大画面化が可能であるという利点を有し、開発が進められている（例えば、特開2002-156941号公報参照）。

- 15 PDPにおいては、垂直方向に複数のデータ電極が配列され、水平方向に複数対のスキャン電極およびサステイン電極が配列され、それらの交点に放電セルが形成されている。複数のデータ電極は、データドライバにより駆動される。

- データドライバには、映像信号に基づいて得られるシリアルデータが与えられる。データドライバは、複数のラッチ回路（フリップフロップ回路）およびシフトレジスタを含む。データドライバに与えられたシリアルデータは、シフトクロック（クロック信号）に応答してラッチ回路においてラッチされつつシフトレジスタに記憶される。その後、シフトレジスタに記憶されたシリアルデータは、パ
20 ラレルデータに変換される。そのパラレルデータに基づいてPDPの複数のデータ電極に駆動パルスが印加される。

- しかしながら、シリアルデータおよびシフトクロックの生成箇所とデータドライバとの距離が大きいと、それらのシリアルデータおよびシフトクロックを伝送する伝送線の長さが長くなる。それにより、シリアルデータおよびシフトクロックの位相が変化し、データドライバでラッチミスが発生する可能性がある。

ラッチミスとは、ラッチ回路に入力されるデータ列の位相またはクロック信号の位相が正規の位相からずれることにより、ラッチ回路から出力されるデータ列の値がラッチ回路に入力されるデータ列の値と相違することをいう。

発明の開示

本発明の目的は、データドライバにおけるラッチミスが発生が防止された表示装置を提供することである。

- 5 本発明の一局面に従う表示装置は、複数の放電セルと、クロック信号を発生するクロック信号発生器と、表示すべき画像に応じたシリアルデータを発生するシリアルデータ発生器と、テスト信号を発生するテスト信号発生器と、点灯させるべき放電セルを選択するための書き込み期間において、クロック信号に同期してシリアルデータ発生器により発生されるシリアルデータに基づいて複数の放電セル
- 10 ルに選択的に駆動パルスを印加するデータドライバと、書き込み期間以外の期間において、テスト信号発生器により発生されるテスト信号に基づいてデータドライバにおけるラッチミスの有無を検出するラッチミス検出器と、ラッチミス検出器によりラッチミスが検出された場合に、ラッチミスが検出されたクロック信号の位相に基づいてクロック信号発生器からデータドライバに与えられるクロック
- 15 信号の位相を調整する位相調整装置とを備えるものである。

その表示装置においては、点灯させるべき放電セルを選択するための書き込み期間において、クロック信号発生器により発生されたクロック信号に同期してシリアルデータ発生器により発生されたシリアルデータに基づいてデータドライバにより複数の放電セルに選択的に駆動パルスが印加される。

- 20 また、書き込み期間以外の期間において、テスト信号発生器により発生されたテスト信号に基づいてラッチミス検出器によりデータドライバにおけるラッチミスの有無が検出される。ラッチミス検出器によりラッチミスが検出された場合、クロック信号発生器からデータドライバに与えられるクロック信号の位相が、データドライバにおいてラッチミスの発生しない位相に位相調整装置により調整さ
- 25 れる。

したがって、データドライバにおけるラッチミスを防止することが可能である。また、温度特性、個体ばらつきによるクロック信号とシリアルデータの位相変動が生じててもラッチミスの発生が防止される。また、クロック信号およびシリアルデータの生成箇所とデータドライバとの距離を大きくすることが可能である。

さらに、クロック信号およびシリアルデータの伝送周波数を向上することが可能である。

データドライバは複数のデータドライバ部を含み、ラッチミス検出器は、テスト信号発生器から出力されるテスト信号に基づいて各データドライバ部によるラ
5 ッチミスの有無を検出する複数のラッチミス検出回路を含み、位相調整装置は、
複数のラッチミス検出回路のうち少なくとも1つによりラッチミスが検出された
場合に、クロック信号発生器から複数のデータドライバ部に与えられるクロック
信号の位相を調整してもよい。

この場合、複数のラッチミス検出回路により、テスト信号発生器から出力され
10 るテスト信号に基づいて各データドライバ部によるラッチミスの有無が検出され
る。ラッチミス検出回路のうち少なくとも1つによりラッチミスが検出された場
合、位相調整装置によりクロック信号発生器から複数のデータドライバ部に与え
られるクロック信号の位相が調整される。

それにより、複数のデータドライバ部に対して1つの位相調整装置でクロック
15 位相調整が可能である。したがって、回路構成が簡単化される。

複数のラッチミス検出回路は、オープンドレイン出力を有し、位相調整装置は
、複数のラッチミス検出回路のオープンドレイン出力をワイヤードオア接続を介
して受けてもよい。

この場合、複数のラッチミス検出回路のオープンドレイン出力がワイヤードオ
20 ア接続を介して位相調整装置に与えられる。それにより、回路構成が簡単化され
る。

テスト信号は、クロック信号の1周期ごとに反転する交番パルス信号であって
もよい。この場合、データドライバにおけるによるテスト信号のラッチミスの発
生確率が向上する。それにより、クロック信号をより精度の高い最適な位相に調
25 整することができる。また、クロック信号を最適な位相に調整する時間が短縮さ
れる。

位相調整装置は、所定の間隔ごとにクロック信号の位相を調整してもよい。こ
の場合、常にクロック信号が最適な位相に調整されるため、データドライバにお
いて、書き込み期間中におけるシリアルデータのラッチの際にラッチミスが防止

される。

位相調整装置は、複数フィールドごとにクロック信号の位相を調整してもよい。この場合、クロック信号の位相調整が行われる間隔が広げられる。それにより、位相調整に必要な消費電力が削減される。

- 5 調整期間は、複数の調整期間を含み、位相調整装置は、1つの調整期間にクロック信号の調整が終了しない場合には、次の調整期間の最初からクロック信号の位相調整の続きを行ってもよい。この場合、クロック信号の位相調整が完了するまでに要する時間を短縮することができる。

- 10 ラッチミス検出器は、テスト信号をクロックの1周期分遅延させた第1のテスト信号と、テスト信号をクロックの2周期分遅延させた第2のテスト信号との排他的論理和に基づいて、ラッチミスの有無を示すラッチミス検出信号を生成してもよい。

- 15 この場合、クロック信号の位相が最適位相でなければ、ラッチミスが確実に検出される。それにより、クロック信号を精度の高い最適な位相に調整することができる。また、クロック信号を最適な位相に調整する時間が短縮される。

ラッチミス検出器は、ラッチミス検出信号を順に所定の遅延量ずつ遅延させた複数のラッチミス検出信号を生成し、複数のラッチミス検出信号の論理積を生成してもよい。

- 20 この場合、ラッチミスの検出幅が広がり、より確実にラッチミスが検出される。それにより、クロック信号をより精度の高い最適な位相に調整することができる。また、クロック信号を最適な位相に調整する時間が短縮される。

- ラッチミス検出器は、リセット信号が入力されるまでラッチミスの検出結果を保持する保持回路を含んでもよい。この場合、ラッチミスの検出幅がリセット信号が入力されるまで広がる。それにより、クロック信号をより精度の高い最適な位相に調整することができる。また、クロック信号を最適な位相に調整する時間が短縮される。
- 25

ラッチミス検出器は、ラッチミスの検出結果に基づいてリセット信号を生成するリセット信号生成回路をさらに含んでもよい。

この場合、専用のリセット信号をラッチミス検出器に出力する必要がなくなる

。それにより、回路間の接続を簡素化することができる。

リセット信号生成回路は、ラッチミスの検出結果を遅延させる遅延回路を含んでもよい。この場合、簡易な構成でリセット信号を生成することができる。

5 位相調整装置は、クロック信号を所定の遅延量ずつ遅延させる複数の遅延素子を含むリングバッファと、リングバッファの複数の遅延素子から出力される複数のクロック信号を選択的に出力する選択器とを含んでもよい。

10 この場合、選択器から所定の遅延量ずつ遅延した複数のクロック信号のうち選択されたクロック信号が出力される。それにより、クロック信号の精度の高い位相調整を行うことができる。また、リングバッファによりクロック信号が所定の遅延量ずつ遅延されるため、温度変化による遅延量の変動が抑制される。

位相調整装置は、異なる数の遅延量をそれぞれ有する複数の遅延回路と、複数の遅延回路のうち1または複数を選択し、選択された1または複数の遅延回路により直列接続回路を構成するとともにクロック信号を直列接続回路に与える接続回路とを含んでもよい。

15 この場合、異なる遅延量を有する複数の遅延回路のうち1または複数が接続器により接続されて、クロック信号が所定の遅延量分位相が遅延する。それにより、クロック信号の精度の高い位相調整を行うことができる。

20 位相調整装置は、クロック信号を2周期分遅延させるまでにクロック信号の位相の調整を終了してもよい。この場合、無駄な位相調整が削減され、位相調整に必要な時間が削減されるとともに、位相調整に必要な消費電力が削減される。

位相調整装置は、調整されるクロック信号の位相が最適位相となったことを検出し、クロック信号の位相が最適位相となったことが検出された場合にクロック信号の位相の調整を終了してもよい。

25 この場合、クロック信号の最適位相が検出されるとともにクロック信号の位相の調整が終了する。それにより、クロック信号の位相調整に必要な消費電力が削減される。

表示装置は、位相調整装置により調整されたクロック信号の位相を最適位相として記憶する第1の記憶装置をさらに備え、位相調整装置は、第1の記憶装置により最適位相が記憶された後の書き込み期間には、クロック信号の位相を第1の

記憶装置に記憶された最適位相に調整してもよい。

この場合、書き込み期間において第1の記憶装置により記憶された最適位相に調整されたクロック信号に同期してシリアルデータがデータドライバにおいてラッチされる。それにより、データドライバにおいて、書き込み期間中におけるシリアルデータのラッチの際にラッチミスが防止される。

位相調整装置は、調整期間にクロック信号の調整が終了しない場合には、クロック信号の位相を予め第1の記憶装置に記憶された位相に調整してもよい。

この場合、調整期間内にクロック信号の位相調整が終了しない場合でも、クロック信号の位相はそれまでの調整で第1の記憶装置に記憶された位相に調整される。

それにより、クロック信号の位相が調整されていなくてもシリアルデータはデータドライバにおいてラッチされ、データドライバが動作する。

位相調整装置は、クロック信号の位相を変化させてラッチミスが発生しない位相の範囲を検出し、検出された範囲が所定のしきい値以上の場合に、検出された位相の範囲の中央の位相を最適位相として第1の記憶装置に記憶させてもよい。

この場合、ラッチミスが発生しない位相の幅がしきい値以上に大きくなり、クロック信号の最適位相が確実に検出される。

位相調整装置は、シリアルデータの開始部がデータドライバに出力されると同時に調整されたクロック信号がデータドライバに出力されるようにシリアルデータに対するクロック信号の相対的な位相を調整してもよい。

この場合、クロック信号に同期してシリアルデータの開始部からデータドライバにおいてラッチされる。したがって、データドライバに転送されるシリアルデータのすべてが確実にラッチされる。

位相調整装置は、クロック信号の位相が最適位相となったことが検出された場合に、データドライバに出力されるシリアルデータの開始部の位相とデータドライバに出力されるクロック信号の開始部の位相とが実質的に一致するようにシリアルデータの位相を調整してもよい。

クロック信号の位相が最適位相となったことが検出された場合にはラッチミスが生じないため、高い精度でシリアルデータの位相を調整することができる。

位相調整装置により調整されたシリアルデータの位相を最適位相として記憶する第2の記憶装置をさらに備え、位相調整装置は、第2の記憶装置により最適位相が検出された後の書き込み期間には、シリアルデータの位相を第2の記憶装置に記憶された最適位相に調整してもよい。

5 この場合、書き込み期間において第2の記憶装置により記憶された最適位相に調整されたシリアルデータがデータドライバにおいてラッチされる。それにより、最適な位相のクロック信号に同期して最適な位相のシリアルデータがデータドライバに転送される。したがって、データドライバへシリアルデータを安定して転送することが可能となる。

10 位相調整装置は、クロック信号の最適位相またはシリアルデータの最適位相が検出されなかった場合に、クロック信号の位相を第1の記憶装置に前回記憶された最適位相に調整するとともにシリアルデータの位相を第2の記憶装置に前回記憶された最適位相に調整してもよい。

15 この場合、ノイズ等によりクロック信号の最適位相またはシリアルデータの最適位相が検出されなかった場合でも、クロック信号の位相が第1の記憶装置に前回記憶された最適位相に調整されるとともにシリアルデータの位相が第2の記憶装置に前回記憶された最適位相に調整される。それにより、データドライバへのシリアルデータの安定した書き込み動作が保証される。

20 調整期間は、書き込み期間において選択された放電セルの発光を維持する維持期間に設定されてもよい。この場合、シリアルデータがデータドライバに転送される期間外にクロック信号の位相調整が行われる。それにより、データドライバへのシリアルデータの転送に影響することがない。

25 データドライバにおけるラッチミス防止することが可能である。また、温度特性、個体ばらつきによるクロック信号とシリアルデータの位相変動が生じててもラッチミスの発生が防止される。また、クロック信号およびシリアルデータの生成箇所とデータドライバの距離を大きくすることが可能である。さらに、クロック信号およびシリアルデータの伝送周波数を向上することが可能である。

図面の簡単な説明

図 1 は、本発明の一実施の形態に係るプラズマディスプレイ装置の構成を示すブロック図、

図 2 は、図 1 に示すプラズマディスプレイ装置に適用される A D S 方式を説明するための図、

5 図 3 は、図 1 のクロック位相調整部に与えられたシフトクロックの位相が調整される期間について説明する図、

図 4 は、図 1 のクロック位相調整部の内部構成を示すブロック図、

図 5 は、クロック位相制御部の内部構成を示すブロック図、

10 図 6 (a) は、図 4 のラッチミス検出回路の内部構成を示すブロック図、図 6 (b) は、ラッチミス検出回路における各部の信号を示すタイミング図、

図 7 は、ラッチミスの検出を説明する図、

図 8 (a) は、ラッチミス検出回路の他の例を示すブロック図、図 8 (b) は、ラッチミス検出回路における各部の信号を示すタイミング図、

15 図 9 (a) は、ラッチミス検出回路のさらに他の例を示すブロック図、図 9 (b) は、ラッチミス検出回路における各部の信号を示すタイミング図、

図 10 (a) は、ラッチミス検出回路のさらに他の例を示すブロック図、図 10 (b) は、ラッチミス検出回路における各部の信号を示すタイミング図、

20 図 11 (a) は、ラッチミス検出回路のさらに他の例を示すブロック図、図 11 (b) は、図 11 (a) のラッチミス検出回路における各部の信号を示すタイミング図、

図 12 は、図 5 のクロック遅延回路の内部構造を示すブロック図、

図 13 は、図 11 で説明したシフトクロック S C K (0) からシフトクロック S C K (m) の (m+1) 個の信号の波形を示す波形図、

図 14 は、クロック遅延回路の他の例を示す図、

25 図 15 は、遅延シフトクロックの最適位相を説明する図、

図 16 は、位相制御回路が遅延シフトクロックの最適位相を検出する動作の一例を示すフローチャート、

図 17 は、遅延シフトクロックの最適位相の検出に必要なクロック数を説明する図、

図 1 8 は、クロック位相調整期間が複数の維持期間にわたって行われる場合を説明する図、

図 1 9 は、位相制御回路のクロック位相調整期間中の動作の一例を示すフローチャート、

5 図 2 0 は、位相制御回路が 3 フィールド毎にクロック位相調整を開始する動作の一例を示すフローチャート、

図 2 1 は、書き込み期間における遅延シフトクロックを発生するタイミングについて説明する図、

10 図 2 2 は、第 2 の実施の形態に係るクロック位相調整部の内部構成を示すブロック図である。

発明を実施するための最良の形態

(第 1 の実施の形態)

15 以下、本発明に係る表示装置の一例としてプラズマディスプレイ装置について説明する。

図 1 は、本発明の一実施の形態に係るプラズマディスプレイ装置の構成を示すブロック図である。

20 図 1 のプラズマディスプレイ装置は、PDP (プラズマディスプレイパネル) 1、データドライバ 2、スキヤンドライバ 3、サステインドライバ 4、放電制御タイミング発生回路 5、A/D コンバータ (アナログ・デジタル変換器) 6、走査数変換部 7、サブフィールド変換部 8、クロック位相調整部 9 およびシフトクロック発生回路 10 を含む。

25 A/D コンバータ 6 には映像信号 VD が入力される。また、放電制御タイミング発生回路 5、A/D コンバータ 6、走査数変換部 7、サブフィールド変換部 8 およびデータドライバ 2 には水平同期信号 H および垂直同期信号 V が与えられる。クロック位相調整部 9 には垂直同期信号 V が与えられる。また、クロック位相調整部 9 にはシフトクロック発生回路 10 からシフトクロック SCK が与えられる。

A/D コンバータ 6 は、映像信号 VD をデジタルの画像データに変換し、その

画像データを走査数変換部 7 に与える。走査数変換部 7 は、画像データを PDP 1 の画素数に応じたライン数の画像データに変換し、各ラインごとの画像データをサブフィールド変換部 8 に与える。各ラインごとの画像データは、各ラインの複数の画素にそれぞれ対応する複数の画素データからなる。

5 サブフィールド変換部 8 は、各ラインごとの画像データの各画素データを複数のサブフィールドに対応するシリアルデータ SD に変換し、シリアルデータ SD を各サブフィールドごとにクロック位相調整部 9 に与える。クロック位相調整部 9 は、シフトクロック SCK を最適な位相に調整し、シリアルデータ SD とともにデータドライバ 2 に与える。

10 放電制御タイミング発生回路 5 は、水平同期信号 H および垂直同期信号 V を基準として放電制御タイミング信号 SC, SU を発生する。放電制御タイミング発生回路 5 は、放電制御タイミング信号 SC をスキャンドライバ 3 に与え、放電制御タイミング信号 SU をサステインドライバ 4、データドライバ 2 およびクロック位相調整部 9 に与える。

15 PDP 1 は、複数のデータ電極 11、複数のスキャン電極 12 および複数のサステイン電極 13 を含む。複数のデータ電極 11 は画面の垂直方向に配列され、複数のスキャン電極 12 および複数のサステイン電極 13 は画面の水平方向に配列されている。複数のサステイン電極 13 は共通に接続されている。

20 データ電極 11、スキャン電極 12 およびサステイン電極 13 の各交点に放電セルが形成され、各放電セルが画面上の画素を構成する。

データドライバ 2 は、クロック位相調整部 9 から与えられるシリアルデータ SD をパラレルデータに変換し、そのパラレルデータに基づいて書き込みパルスを複数のデータ電極 11 に選択的に与える。

25 スキャンドライバ 3 は、放電制御タイミング発生回路 5 から与えられる放電制御タイミング信号 SC に基づいて各スキャン電極 12 を駆動する。サステインドライバ 4 は、放電制御タイミング発生回路 5 から与えられる放電制御タイミング信号 SU に基づいてサステイン電極 13 を駆動する。

図 1 に示すプラズマディスプレイ装置では、階調表示駆動装置として、ADS (Address Display-Period Separation : アドレス・表示期間分離) 方式が用いら

れている。

図 2 は、図 1 に示すプラズマディスプレイ装置に適用される A D S 方式を説明するための図である。なお、図 2 では、駆動パルスの立ち下がり時に放電を行う負極性のパルスの例を示しているが、立ち上がり時に放電を行う正極性のパルス
5 の場合でも基本的な動作は以下と同様である。

A D S 方式では、1 フィールドを複数のサブフィールドに時間的に分割する。例えば、1 フィールドを 5 つのサブフィールド S F 1 ~ S F 5 に分割する。また、各サブフィールド S F 1 ~ S F 5 は、初期化期間 R 1 ~ R 5、書き込み期間 A D 1 ~ A D 5、維持期間 S U S 1 ~ S U S 5 および消去期間 R S 1 ~ R S 5 に分
10 離される。初期化期間 R 1 ~ R 5 においては、各サブフィールドの初期化処理が行われ、書き込み期間 A D 1 ~ A D 5 においては、点灯される放電セルを選択するためのアドレス放電が行われ、維持期間 S U S 1 ~ S U S 5 においては、表示のための維持放電が行われる。

初期化期間 R 1 ~ R 5 においては、サステイン電極 1 3 に単一の初期化パルス
15 が加えられ、スキャン電極 1 2 にもそれぞれ単一の初期化パルスが加えられる。これにより予備放電が行われる。

書き込み期間 A D 1 ~ A D 5 においては、スキャン電極 1 2 が順次走査され、データ電極 1 1 から書き込みパルスを受けた放電セルだけに所定の書き込み処理が行われる。これによりアドレス放電が行われる。

20 維持期間 S U S 1 ~ S U S 5 においては、各サブフィールド S F 1 ~ S F 5 に重み付けされた値に応じた維持パルスがサステイン電極 1 3 およびスキャン電極 1 2 へ出力される。例えば、サブフィールド S F 1 では、サステイン電極 1 3 に維持パルスが 1 回印加され、スキャン電極 1 2 に維持パルスが 1 回印加され、書き込み期間 P 2 において選択された放電セル 1 4 が 2 回維持放電を行う。また、
25 サブフィールド S F 2 では、サステイン電極 1 3 に維持パルスが 2 回印加され、スキャン電極 1 2 に維持パルスが 2 回印加され、書き込み期間 P 2 において選択された放電セル 1 4 が 4 回維持放電を行う。

上記のように、各サブフィールド S F 1 ~ S F 5 では、サステイン電極 1 3 およびスキャン電極 1 2 に 1 回、2 回、4 回、8 回、1 6 回ずつ維持パルスが印加

され、パルス数に応じた明るさ（輝度）で放電セルが発光する。すなわち、維持期間SUS1～SUS5は、書き込み期間AD1～AD5で選択された放電セルが明るさの重み付け量に応じた回数で放電する期間である。また、維持期間SUS1～SUS5においては、図1のクロック調整部9に与えられたシフトクロックSCKの位相が調整される。シフトクロックSCKの位相の調整の詳細については、後述する。

図3は、図1のクロック位相調整部9に与えられたシフトクロックSCKの位相が調整される期間（以下、クロック位相調整期間と呼ぶ。）について説明する図である。図3の横軸は時間を示す。図3には、垂直同期信号Vおよびクロック位相調整期間が示される。

図3に示すように、クロック位相調整期間は、第1フィールドの維持期間SUS1の最初から開始し、シフトクロックSCKの位相調整が行われる。維持期間SUS1内にシフトクロックSCKの位相調整が終了しない場合、次の維持期間SUS2の最初からシフトクロックSCKの位相調整の続きが行われる。以下同様に、シフトクロックSCKの位相調整が終了するまで維持期間SUS3，SUS4，SUS5でシフトクロックSCKの位相調整が行われる。

第1フィールド内にシフトクロックSCKの位相調整が終了しない場合、第2フィールドの維持期間SUS1の最初からシフトクロックSCKの位相調整の続きが行われる。シフトクロックSCKの位相調整が終了すれば、クロック位相調整期間が終了する。

本実施の形態に係るプラズマディスプレイ装置においては、3フィールドごとにシフトクロックSCKの位相調整が行われる。したがって、次のクロック位相調整期間は第4フィールドの維持期間SUS1の最初から開始する。

以下同様に、3フィールドごとの維持期間SUS1の最初からクロック位相調整期間が開始する。

なお、シフトクロックSCKの位相調整期間は、3フィールドごとに限定されず、任意の数のフィールドごとに設定することができる。

以上のことから、プラズマディスプレイ装置の温度特性、個体ばらつきによるシフトクロックSCKとシリアルデータSDの位相変動が生じてもラッチミスの

発生が防止される。また、シフトクロック SCK およびシリアルデータ SD の生成箇所とデータドライバとの距離を大きくすることが可能である。さらに、シフトクロック SCK およびシリアルデータ SD の伝送周波数を向上することが可能である。

5 図 4 は、図 1 のクロック位相調整部 9 およびデータドライバ 2 の構成を示すブロック図である。

図 4 に示すように、クロック位相調整部 9 は、テストパターン発生回路 100、フリップフロップ回路 110、クロック位相制御部 120 およびデータ遅延回路 160 を含む。データドライバ 2 は、ラッチミス検出回路 130 を含む。

10 テストパターン発生回路 100 には、図 1 のサブフィールド変換部 8 により出力されたシリアルデータ SD とクロック位相制御部 120 により出力されたテストパターン制御信号 TPC とが与えられる。

15 テストパターン発生回路 100 は、図 2 で説明した書き込み期間 AD1 ~ AD5 において、サブフィールド変換部 8 から与えられたシリアルデータ SD をそのまま出力する。また、テストパターン発生回路 100 は、図 3 で説明したクロック位相調整期間において、後述するクロック位相制御部 120 から与えられるテストパターン制御信号 TPC に応じてテストパターン TP を出力する。

20 データ遅延回路 160 には、テストパターン発生回路 100 により出力されたシリアルデータ SD またはテストパターン TP が与えられる。データ遅延回路 160 は、テストパターン TP をそのまま出力し、後述するクロック位相制御部 120 から与えられる位相遅延信号 DPC に基づいてシリアルデータ SD を遅延させて出力する。データ遅延回路 160 の動作については後述する。

25 フリップフロップ回路 110 には、データ遅延回路 160 により出力されたシリアルデータ SD またはテストパターン TP が与えられるとともに、図 1 のシフトクロック発生回路 10 からシフトクロック SCK が与えられる。フリップフロップ回路 110 は、シフトクロック SCK の立ち下がりでシリアルデータ SD またはテストパターン TP をラッチし、シリアルデータ SDa またはテストパターン TP a として出力する。

ラッチミス検出回路 130 には、フリップフロップ回路 110 により出力され

たテストパターンTPaと後述するクロック位相制御部120により出力された遅延シフトクロックDSCKとが与えられる。ラッチミス検出回路130は、テストパターンTPaおよび遅延シフトクロックDSCKに基づいてラッチミス発生の有無を示すラッチミス検出信号LMを出力する。

- 5 クロック位相制御部120には、図1のシフトクロック発生回路10からシフトクロックSCKが与えられるとともに、ラッチミス検出回路130により出力されたラッチミス検出信号LMが与えられる。また、クロック位相制御部120には、垂直同期信号Vおよび放電制御タイミング信号SUが与えられる。クロック位相制御部120は、ラッチミス検出信号LMに基づいてシフトクロックSCKを遅延させることにより遅延シフトクロックDSCKを出力する。また、クロック位相制御部120は、テストパターン制御信号TPCを出力する。

データドライバ2には、フリップフロップ回路110により出力されたシリアルデータSDaとクロック位相制御部120により出力された遅延シフトクロックDSCKとが与えられる。

- 15 図5は、クロック位相制御部120の内部構成を示すブロック図である。

図5に示すように、クロック位相制御部120は、調整期間制御回路121、調整開始制御回路122、位相制御回路123、位相データ記憶回路124、ラッチミス監視窓発生回路125、ラッチミス検出信号監視回路126、位相データ記憶回路129およびクロック遅延回路140を含む。

- 20 調整開始制御回路122には、垂直同期信号Vが与えられる。調整開始制御回路122は、垂直同期信号Vに基づいて3フィールドごとにクロック位相調整期間の開始タイミングを示す調整期間開始信号OPを出力して位相制御回路123に与える。

- 調整期間制御回路121には、放電制御タイミング信号SUが与えられる。調整期間制御回路121は、放電制御タイミング信号SUに基づいて、クロック位相調整期間を示す調整期間制御信号SWを出力して位相制御回路123に与える。

位相制御回路123は、調整期間開始信号OPおよび調整期間制御信号SWに基づいて、クロック位相調整期間にテストパターン制御信号TPCを出力すると

ともに、位相遅延信号 P C を出力する。

クロック遅延回路 1 4 0 には、シフトクロック S C K および位相遅延信号 P C が与えられる。クロック遅延回路 1 4 0 は、位相遅延信号 P C に基づいてシフトクロック S C K を遅延させ、遅延シフトクロック D S C K を出力する。

- 5 テストパターン発生回路 1 0 0 は、図 4 で説明したように、テストパターン制御信号 T P C に基づいてテストパターン T P を出力する。

- ラッチミス監視窓発生回路 1 2 5 には、テストパターン制御信号 T P C が与えられる。ラッチミス監視窓発生回路 1 2 5 は、テストパターン制御信号 T P C に基づいて検出窓信号 D W を出力してラッチミス検出信号監視回路 1 2 6 に与える
10 。ラッチミス検出信号監視回路 1 2 6 は、検出窓信号 D W に基づいてラッチミス検出回路 1 3 0 が出力するラッチミス検出信号 L M を監視する。ラッチミス検出信号監視回路 1 2 6 は、ラッチミスが発生している場合にはラッチミス通知信号 L M N を出力して位相制御回路 1 2 3 に与える。

- 位相制御回路 1 2 3 は、ラッチミス通知信号 L M N に基づいて遅延シフトクロック D S C K の最適位相を決定し、その最適位相をデータ D I N として出力して
15 位相データ記憶回路 1 2 4 に与える。

- 位相データ記憶回路 1 2 4 は、与えられたデータ D I N を遅延シフトクロック D S C K の最適位相として記憶する。位相データ記憶回路 1 2 4 は、書き込み期間に、記憶している最適位相をデータ D O U T として出力して位相制御回路 1 2
20 3 に与える。

位相制御回路 1 2 3 は、与えられたデータ D O U T に基づき位相遅延信号 P C を出力してクロック遅延回路 1 4 0 に与える。

- さらに、位相制御回路 1 2 3 は、遅延シフトクロック D S C K の決定後に、データドライバ 2 に出力される遅延シフトクロック D S C K の開始部の位相とシリアルデータ S D a の開始部の位相とが一致するように、データ遅延回路 1 6 0 に
25 シリアルデータ S D の位相を制御するための位相遅延信号 D P C を与える。

データ遅延回路 1 6 0 は、位相遅延信号 D P C に基づいて、シリアルデータ S D の遅延量を調整することによりシリアルデータ S D a の位相をクロック単位（シフトクロック S C K の周期）で調整する。

位相制御回路 123 は、遅延シフトクロック D S C K の開始部の位相とシリアルデータ S D a の開始部の位相とが一致するように調整されたシリアルデータ S D a の位相を最適位相として決定し、その最適位相をデータ D i n として位相データ記憶回路 129 に与える。

- 5 位相データ記憶回路 129 は、与えられたデータ D i n を最適位相として記憶する。位相データ記憶回路 129 は、書き込み期間に、記憶している最適位相をデータ D o u t として出力して位相制御回路 123 に与える。

位相制御回路 123 は、与えられたデータ D o u t に基づき位相遅延信号 D P C を出力してデータ遅延回路 160 に与える。

- 10 図 6 (a) は、図 4 のラッチミス検出回路 130 の構成を示すブロック図であり、図 6 (b) は、図 6 (a) のラッチミス検出回路 130 における各部の信号を示すタイミング図である。

図 6 (a) に示すように、ラッチミス検出回路 130 は、フリップフロップ回路 131, 132, 134 および排他的論理和 (以下、E X - O R と呼ぶ) 回路

- 15 133 を含む。

フリップフロップ回路 131 には、図 6 (b) に示す遅延シフトクロック D S C K およびテストパターン T P a が与えられる。

- 図 6 (b) に示すように、遅延シフトクロック D S C K の周期 (以下、クロック周期と呼ぶ) を T とする。テストパターン T P a は、遅延シフトクロック D S C K の周期 T で反転する交番パルス信号である。フリップフロップ回路 131 は、
20 テストパターン T P a を遅延シフトクロック D S C K の立ち下がり (図 6 から考えると立ち下がりと考えられます。ご確認下さい。) でラッチし、テストパターン T P a に対して 1 クロック周期 T 遅延したテストパターン T P b を出力する。

- 25 フリップフロップ回路 132 にはテストパターン T P b および遅延シフトクロック D S C K が与えられる。フリップフロップ回路 132 は、テストパターン T P b を遅延シフトクロック D S C K の立ち下がり でラッチし、テストパターン T P b に対して 1 クロック周期 T 遅延したテストパターン T P c を出力する。

E X - O R 回路 133 には、テストパターン T P b, T P c が与えられる。E

X-OR回路133は、テストパターンTPb, TPcの排他的論理和をテストパターンTPdとして出力する。テストパターンTPa, TPb, TPcにラッチミスが発生していない場合、テストパターンTPdはハイの状態を保つ。

5 フリップフロップ回路134には、テストパターンTPdおよび遅延シフトクロックDSCkが与えられる。フリップフロップ回路134は、テストパターンTPdを遅延シフトクロックDSCkの立ち下がりでラッチし、テストパターンTPdに対して1クロック周期T遅延したラッチミス検出信号LMを出力する。

10 図6(b)に示す検出窓信号DWは、図5のラッチミス監視窓発生回路125から出力される。検出窓信号DWがハイの期間にラッチミス検出信号LMにローの部分があればラッチミスが発生していると判定される。この場合、図5で説明したようにラッチミス通知信号LMNがラッチミス検出信号監視回路126から出力される。

15 図7は、ラッチミスの検出を説明する図である。図7(a)は、図6(a)と同じくラッチミス検出回路130の構成を示すブロック図であり、図7(b)は、ラッチミス検出回路130における各部の信号を示すタイミング図である。

ここで、フリップフロップ回路131でラッチミスが発生する場合を考える。図7(b)に示すように、フリップフロップ131でのラッチミスによりテストパターンTPbが、1クロック周期Tで反転せずに2クロック周期2T以上続けてハイまたはローの部分をもつようになる。それにより、テストパターンTPcも1クロック周期Tで反転せずに2クロック周期2T以上続けてハイまたはローの部分をもつようになる。

25 テストパターンTPdは、テストパターンTPbとテストパターンTPcとの排他的論理和であることから、ローの部分をもつようになる。それにより、ラッチミス検出信号LMもローの部分をもつようになる。したがって、図5のラッチミス検出監視回路126からラッチミス通知信号LMNが出力される。

以上のことから、テストパターンTPaのラッチミスが発生すればラッチミス検出信号LMがローの部分をもつようになる。したがって、検出窓信号DWがハイの期間においてラッチミス検出信号LMがローの部分をもつか否かに基づいて、ラッチミスの有無を判定することができる。

図 8 (a) は、ラッチミス検出回路の他の例を示すブロック図である。図 8 (b) は、図 8 (a) のラッチミス検出回路における各部の信号を示すタイミング図である。

図 8 (a) に示すラッチミス検出回路 130 a が図 6 のラッチミス検出回路 130 と異なる点は、AND 回路 135 およびフリップフロップ回路 136 をさらに含む点である。AND 回路 135 には、EX-OR 回路 133 により出力されたテストパターン TP d とフリップフロップ回路 134 により出力されたテストパターン TP e とが与えられる。AND 回路 135 は、テストパターン TP d, TP e の論理積をテストパターン TP f として出力する。

フリップフロップ回路 136 には、テストパターン TP f および遅延シフトクロック D S C K が与えられる。フリップフロップ回路 136 は、テストパターン TP f を遅延シフトクロック D S C K の立ち下がりでラッチし、テストパターン TP f に対して 1 クロック周期 T 遅延したラッチミス検出信号 L M を出力する。

ここで、図 7 (b) で説明したラッチミスが発生する場合を考える。この場合、図 7 (b) で説明したように、EX-OR 回路 133 から出力されるテストパターン TP d は、ローの部分を含む。それにより、テストパターン TP e との論理積であるテストパターン TP f は、テストパターン TP d のローの部分が 1 クロック周期 T 分広がったローの部分を含む。したがって、ラッチミスの検出精度が向上する。

図 9 (a) は、ラッチミス検出回路のさらに他の例を示すブロック図である。図 9 (b) は、図 9 (a) のラッチミス検出回路における各部の信号を示すタイミング図である。

図 9 (a) に示すラッチミス検出回路 130 b が図 6 のラッチミス検出回路 130 と異なる点は、テストパターン遅延部 134 a および AND 回路 135 a をさらに含む点である。

テストパターン遅延部 134 a は、第 1 ~ 第 n のフリップフロップ回路 FF_1 , FF_2 , ..., FF_n が直列に接続された構成を持つ。ここで、n は 2 以上の整数である。テストパターン遅延部 134 a のフリップフロップ回路 FF_1 には、テストパターン TP d および遅延シフトクロック D S C K が与えられる。第 1 の

フリップフロップ回路 FF_1 は、遅延シフトクロック $DSCK$ の立ち下がりです
テストパターン TP_d をラッチし、テストパターン TP_d に対して1クロック周期
T遅延したテストパターン $TP_e(1)$ を出力する。

第2のフリップフロップ回路 FF_2 には、テストパターン $TP_e(1)$ および
5 遅延シフトクロック $DSCK$ が与えられる。第2のフリップフロップ回路 FF_2
は、遅延シフトクロック $DSCK$ の立ち下がりですテストパターン $TP_e(1)$ を
ラッチし、テストパターン $TP_e(1)$ に対して1クロック周期T遅延したテス
トパターン $TP_e(2)$ を出力する。

以下同様にして、第nのフリップフロップ回路 FF_n は、テストパターン TP
10 $e(n)$ を出力する。

AND回路 135aには、EX-OR回路 133から出力されたテストパター
ン TP_d とテストパターン遅延部 134a内の第1～第nのフリップフロップ回
路 $FF_1 \sim FF_n$ により出力されたテストパターン $TP_e(1) \sim TP_e(n)$
とが与えられる。AND回路 135aは、与えられたテストパターン TP_d , T
15 $P_e(1) \sim TP_e(n)$ の論理積をラッチミス検出信号 LM として出力する。

ここで、図7(b)で説明したラッチミスが発生したとする。この場合、図7
(b)で説明したように、EX-OR回路 133から出力されるテストパターン
 TP_d は、ローの部分をもつ。AND回路 135aが出力するラッチミス検出
信号 LM は、1クロック周期Tずつ順に遅延した $(n+1)$ 個のテストパターン
20 TP_d , $TP_e(1) \sim TP_e(n)$ の論理積であるため、ラッチミス検出信号
 LM は、テストパターン TP_d のローの部分がnクロック周期T分広がったロー
の部分をもつ。したがって、ラッチミスの検出精度がより向上する。

図10(a)は、ラッチミス検出回路のさらに他の例を示すブロック図である
。図10(b)は、図10(a)のラッチミス検出回路における各部の信号を示
すタイミング図である。
25

図10のラッチミス検出回路 130cが図6のラッチミス検出回路 130と異
なる点は、RSフリップフロップ回路 137をさらに含む点である。RSフリッ
プフロップ回路 137には、テストパターン TP_e およびリセット信号 RS が与
えられる。リセット信号 RS がハイに立ち上がると、RSフリップフロップ回路

1 3 7 がリセットされ、ラッチミス検出信号 L M がハイとなる。

図 7 (b) で説明したラッチミスが発生したとすると、E X - O R 回路 1 3 3 から出力されるテストパターン T P d は、ローの部分をも有する。それにより、テストパターン T P d よりも 1 クロック周期 T 分遅延したテストパターン T P e もローの部分をも有する。

R S フリップフロップ回路 1 3 7 に与えられるテストパターン T P e がローに立ち下がると、R S フリップフロップ回路 1 3 7 から出力されるラッチミス検出信号 L M はローの状態でも保持される。それにより、ラッチミス検出信号 L M の幅が広がる。したがって、ラッチミスの検出精度がより向上する。

リセット信号 R S がハイに立ち上がると、ラッチミス検出信号 L M はハイになる。なお、リセット信号 R S は、ラッチミス検出動作の前にハイに立ち上げられる。

図 1 1 (a) は、ラッチミス検出回路のさらに他の例を示すブロック図である。図 1 1 (b) は、図 1 1 (a) のラッチミス検出回路における各部の信号を示すタイミング図である。

図 1 1 のラッチミス検出回路 1 3 0 d が図 1 0 のラッチミス検出回路 1 3 0 c と異なる点は、遅延回路 1 3 9 がさらに設けられている点である。

遅延回路 1 3 9 は、単安定マルチバイブレータにより構成されてもよい。この場合、単安定マルチバイブレータ用の遅延調整回路（外付け抵抗）により遅延量を調整することができる。遅延回路 1 3 9 は、カウンタ回路により構成されてもよい。この場合、安定した遅延量の制御が可能となる。

遅延回路 1 3 9 は、E X - O R 回路 1 3 3 から出力されるテストパターン T P d を一定時間遅延させ、遅延されたテストパターン T P e をリセット信号 R S として R S フリップフロップ 1 3 7 に与える。リセット信号 R S がハイに立ち上がると、R S フリップフロップ回路 1 3 7 がリセットされ、ラッチミス検出信号 L M がハイとなる。

図 7 (b) で説明したラッチミスが発生したとすると、E X - O R 回路 1 3 3 から出力されるテストパターン T P d は、ローの部分をも有する。それにより、テストパターン T P d よりも 1 クロック周期 T 分遅延したテストパターン T P e も

ローの部分有する。

RSフリップフロップ回路137に与えられるテストパターンTPeがローに立ち下がると、RSフリップフロップ回路137から出力されるラッチミス検出信号LMはローの状態保持される。それにより、ラッチミス検出信号LMの幅が広がる。したがって、ラッチミスの検出精度がより向上する。

ラッチミスがなくなると、テストパターンTPdはハイになり、テストパターンTPeもハイになる。所定時間経過後、リセット信号RSがハイになる。その結果、ラッチミス検出信号LMはハイになる。

図12は、図5のクロック遅延回路140の構造を示すブロック図である。

図12に示すように、クロック遅延回路140は、PLL回路141、2m個のインバータ142および出力回路143から構成される。ここで、2m個のインバータ142は環状に接続されている。

PLL回路141には、シフトクロックSCKおよび最終段のインバータ142の出力が与えられる。シフトクロックSCKは、初段のインバータ142および出力回路143に与えられる。偶数段のインバータ142の出力がそれぞれシフトクロックSCK(1)～SCK(m)として次段のインバータ142および出力回路143に与えられる。2つのインバータ142による信号の遅延量を1単位量と呼ぶ。

PLL回路141は、シフトクロックSCKの位相とシフトクロックSCK(m)の位相とが一致するように、例えば、動作電圧の電源等を制御することにより、1単位量遅延を制御する。それにより、1単位量がシフトクロックSCKの $1/(m+1)$ 周期に相当することになる。したがって、シフトクロックSCK(0)～SCK(m)は順に1単位量ずつ遅延した位相を有する。

出力回路143は、シフトクロックSCK(0)～SCK(m)のうち1つを位相遅延信号PCに基づいて遅延シフトクロックDSCKとして出力する。

本実施の形態に係るクロック遅延回路140においては、PLL回路141でシフトクロックSCKの位相とシフトクロックSCK(m)の位相とが一致するように制御されるため、温度変化による遅延量の変動が抑制される。

図13(a)は、シフトクロックSCK(0)の波形図であり、図13(b)

はシフトクロック SCK (1) の波形図であり、図 13 (c) は、シフトクロック SCK (2) の波形図であり、図 13 (d) は、シフトクロック CCK (m) の波形図である。

図 13 に示すように、シフトクロック SCK (0)、シフトクロック SCK (1)、シフトクロック SCK (2) と 1 単位量ずつ位相が遅延している。

図 14 は、クロック遅延回路の他の例を示す図である。

図 14 に示すクロック遅延回路 140 a は、t 個の遅延回路 BF (1) ~ BF (t) および遅延回路 145 から構成される。遅延回路 145 は、例えば、2 個のインバータ 142 が直列に接続された構成を有する。なお、2 個のインバータ 142 の代わりに、1 つのバッファを用いても構成可能である。

遅延回路 BF (1) は、直列に接続された $2^1 = 2$ 個のインバータ 142 および出力回路 144 から構成される。遅延回路 BF (2) は、直列に接続された $2^2 = 4$ 個のインバータ 142 および出力回路 144 から構成される。遅延回路 BF (3) は、直列に接続された $2^3 = 8$ 個のインバータ 142 および出力回路 144 から構成される。同様に、遅延回路 BF (t) は、直列に接続された 2^t 個のインバータ 142 および出力回路 144 から構成される。

遅延回路 BF (1) にはシフトクロック SCK が与えられる。シフトクロック SCK は遅延回路 BF (1) 内で 2 つに分岐し、一方は出力回路 144 に与えられ、他方は 2 個直列に接続されたインバータ 142 を通ることにより $2^0 = 1$ 単位量遅延して出力回路 144 に与えられる。出力回路 144 は、位相遅延信号 PC に基づいてシフトクロック SCK と 1 単位量遅延したシフトクロック SCK とのいずれか一方を遅延回路 BF (2) に与える。

遅延回路 BF (2) に与えられたシフトクロック SCK は遅延回路 BF (2) 内で 2 つに分岐し、一方は出力回路 144 に与えられ、他方は 4 個直列に接続されたインバータ 142 を通ることにより $2^1 = 2$ 単位量遅延して出力回路 144 に与えられる。出力回路 144 は、位相遅延信号 PC に基づいて遅延回路 BF (1) から与えられたシフトクロック SCK と遅延回路 BF (1) から与えられたシフトクロック SCK よりも 2 単位量遅延したシフトクロック SCK とのいずれか一方を遅延回路 BF (3) に与える。

以下同様に、遅延回路BF(t)に与えられたシフトクロックSCKは遅延回路BF(t)内で2つに分岐し、一方は出力回路144に与えられ、他方は 2^t 個直列に接続されたインバータ142を通ることにより 2^{t+1} 単位量遅延して出力回路144に与えられる。出力回路144は、位相遅延信号PCに基づいて遅延回路BF(t-1)から与えられたシフトクロックSCKと遅延回路BF(t-1)から与えられたシフトクロックSCKよりも 2^{t+1} 単位量遅延したシフトクロックSCKとのいずれか一方を遅延回路145に与える。

遅延回路145に与えられたシフトクロックSCKは、2つのインバータ142を通して1単位量遅延し、遅延シフトクロックDSCKとして出力される。

10 以上のことから、シフトクロックSCKは、遅延回路BF(1)～BF(t)を通ることにより、 2^0 、 2^1 、 2^2 、 \dots 、 2^{t+1} 単位量の組み合わせの単位量分遅延し、遅延回路145によりさらに1単位量遅延し、遅延シフトクロックDSCKとして出力される。なお、 2^0 、 2^1 、 2^2 、 \dots 、 2^{t+1} の組み合わせにより、 $2^0 \sim 2^t$ のすべての整数を組み合わせることが可能である。

15 図15は、遅延シフトクロックDSCKの最適位相を説明する図である。

図15の縦軸はラッチミス発生の有無を示し、横軸はシフトクロックSCKに対する遅延シフトクロックDSCKの位相遅延量を示す。ここで、遅延シフトクロックDSCKの遅延量によりラッチミスの有無が図15のようになった場合を考える。

20 図15に示すように、位相遅延量が0～d1の間、d2～d3の間、d4～d5の間およびd6～d7の間はラッチミスが発生している。一方、位相遅延量がd1～d2の間、d3～d4の間およびd5～d6の間はラッチミスが発生していない。位相遅延量d1～d2の間をラッチミス未発生領域P1、d3～d4の間をラッチミス未発生領域P2、d5～d6の間をラッチミス未発生領域P3とする。

ラッチミス未発生領域の幅がしきい値Xよりも大きい場合に、そのラッチミス未発生領域の中央の位相遅延量が遅延シフトクロックDSCKの最適位相として設定される。

図15の場合、ラッチミス未発生領域P1、P2の幅は、しきい値Xよりも小

さいため、ラッチミス未発生領域P 1, P 2内にはシフトクロックD S C Kの最適位相は設定されない。

それに対して、ラッチミス未発生領域P 3の幅はしきい値Xよりも大きいため、ラッチミス未発生領域P 3の中央の位相遅延量 $((d_5 + d_6) / 2)$ が遅延シフトクロックD S C Kの最適位相として設定される。それにより、遅延シフトクロックD S C Kの最適位相は、シフトクロックS C Kに対して $((d_5 + d_6) / 2)$ だけ遅延した位相に設定される。

上記説明したように、十分に大きい幅を持つラッチミス未発生領域から遅延シフトクロックD S C Kの最適位相が設定されるため、遅延シフトクロックD S C Kの最適位相を検出する精度が向上する。

図1 6は、位相制御回路1 2 3が遅延シフトクロックD S C Kの最適位相を検出する動作の一例を示すフローチャートである。以下、図1 5および図1 6を参照しながら図1 6のフローチャートの説明を行う。

図1 6に示すように、位相制御回路1 2 3は、ラッチミス未発生領域を検出したか否かを判定する(ステップS 1)。位相制御回路1 2 3は、ラッチミス未発生領域を検出した場合、ラッチミス未発生領域の幅がしきい値Xより大きいか否かを判定する(ステップS 2)。

位相制御回路1 2 3は、ラッチミス未発生領域の幅がしきい値Xより大きいと判定した場合、ラッチミス未発生領域の中央の位相遅延量分シフトクロックS C Kを遅延させた位相を遅延シフトクロックD S C Kの最適位相として位相データ記憶回路1 2 4に記憶させる(ステップS 3)。

ステップS 1において、位相制御回路1 2 3は、ラッチミス未発生領域を検出しなかった場合は待機する。ステップS 2において、位相制御回路1 2 3は、ラッチミス未発生領域の位相間隔がしきい値Xより小さいと判定した場合はステップS 1から動作を繰り返す。

図1 7は、遅延シフトクロックD S C Kの最適位相の検出に必要なクロック数を説明する図である。

図1 7 (a)はテストパターンT P aの波形図であり、図1 7 (b) ~ (d)はそれぞれ位相の異なる遅延シフトクロックD S C Kの波形図である。

交番パルス波形を有するテストパターンTPaは、ハイとローが切り替わるときにラッチするとラッチミスが発生しやすい。したがって、図17(a)においては、領域Yでラッチミスが発生しやすい。

シフトクロックSCKの立ち下りが図15の位相遅延量0～d5分遅延した位相が図17の領域Yに相当し、シフトクロックSCKの立ち下りが図15の位相遅延量d5～d6分遅延した位相が図17の領域Zに相当する。

図15で説明したように、遅延シフトクロックDSCKの最適位相を検出するためには領域Zを検出する必要がある。また、遅延シフトクロックDSCKの最適位相は領域Zの中央であることから、領域Yと領域Zとの境界を検出する必要がある。したがって、連続する領域Yを少なくとも2つ検出する必要がある。

クロック位相調整期間がシフトクロックSCKの立ち下がり時に開始するとし、その位相を位相Sとする。

図17(b)に示すように、位相SがテストパターンTPaの第1の領域Yの直前から始まると、シフトクロックSCKの位相を第1の領域Yと第1の領域Zとの境界の位相から第1の領域Zと第2の領域Yとの境界の位相まで遅延させる必要がある。したがって、シフトクロックSCKを位相Sから2クロック分遅延させれば最適位相が検出される。

図17(c)に示すように、位相SがテストパターンTPaの第1の領域Yから始まると、図17(b)と同様に、シフトクロックSCKの位相を第1の領域Yと第1の領域Zとの境界の位相から第1の領域Zと第2の領域Yとの境界の位相まで遅延させる必要がある。したがって、シフトクロックSCKを位相Sから2クロック分遅延させれば最適位相遅延量が検出される。

一方、図17(d)に示すように、位相SがテストパターンTPaの第1の領域Zの途中から始まると、シフトクロックSCKの位相を第2の領域Yと第2の領域Zとの境界の位相から第2の領域Zと第3の領域Yとの境界の位相までシフトクロックSCKを遅延させる必要がある。したがって、シフトクロックSCKを位相Sから2クロック分遅延させればシフトクロックSCKの最適位相が検出される。

以上のことから、位相SがテストパターンTPaのどの位相から始まってもシ

フトクロック SCK を少なくとも 2 クロック遅延させれば領域 Z が検出され、シフトクロック SCK の最適位相が検出される。

このように、クロック位相調整期間を 2 クロック以下にすることで、無駄な調整作業が不要になり、クロック位相調整期間に要する時間を短縮することが可能である。

図 18 は、クロック位相調整期間が複数の維持期間にわたって行われる場合を説明する図である。

図 18 に示すように、維持期間 SUS 1 の最初からクロック位相調整が行われる。図 3 で説明したように、維持期間 SUS 1 内でクロック位相調整が終了しない場合には次の維持期間である維持期間 SUS 2 の最初からクロック位相調整の続きが開始する。この場合、書き込み期間 AD 2 にはあらかじめ図 5 の位相データ記憶回路 124 に記憶されている遅延シフトクロック DSCK が最適位相で出力され、シリアルデータ SD がラッチされる。

同様に、維持期間 SUS 2 内でもクロック位相調整が終了しない場合、書き込み期間 AD 3 にはあらかじめ位相データ記憶回路 124 に記憶されている遅延シフトクロック DSCK が最適位相で出力され、シリアルデータ SD がラッチされる。

維持期間 SUS 3 内にクロック位相調整期間が終了すれば、遅延シフトクロック DSCK の最適位相が位相データ記憶回路 124 に記憶され、次の書き込み期間 AD 4 からは新たに記憶された遅延シフトクロック DSCK の最適位相でシリアルデータ SD がラッチされる。

図 19 は、位相制御回路 123 のクロック位相調整期間中の動作の一例を示すフローチャートである。以下、図 18 を参照しながら図 19 のフローチャートの説明を行う。

図 19 に示すように、位相制御回路 123 は、クロック位相調整期間が開始すると第 1 サブフィールドの維持期間 SUS 1 の最初からクロック位相調整を行う（ステップ 11）。次に、位相制御回路 123 は、クロック位相調整が終了したか否かを判定する（ステップ S12）。位相制御回路 123 は、クロック位相調整が終了したと判定した場合、最適位相をデータ記憶回路 124 に記憶させる（

ステップS 1 3)。

次に、位相制御回路 1 2 3 は、次の書き込み期間が開始したか否かを判定する (ステップS 1 4)。位相制御回路 1 2 3 は、次の書き込み期間が開始していないと判定した場合には待機し、次の書き込み期間が開始したと判定した場合には
5 最適位相で遅延シフトクロック D S C K が出力され、シリアルデータ S D の転送を行う。(ステップS 1 5)。

ステップS 1 2 において、位相制御回路 1 2 3 は、クロック位相調整が終了していないと判定した場合、現在の維持期間が終了したか否かを判定する (ステップS 1 6)。

10 位相制御回路 1 2 3 は、現在の維持期間が終了していないと判定した場合にはステップS 1 2 から動作を繰り返す。ステップS 1 6 において、位相制御回路 1 2 3 は、現在の維持期間が終了したと判定した場合、クロック位相調整を中断する (ステップS 1 7)。

次に、位相制御回路 1 2 3 は、次の維持期間が開始したか否かを判定する (ステップS 1 8)。位相制御回路 1 2 3 は、次の維持期間が開始していないと判定した場合には待機する。位相制御回路 1 2 3 は、ステップS 1 8 において次の維持期間が開始したと判定した場合、維持期間の最初からクロック位相調整の続きを開始する (ステップS 1 9)。その後、位相制御回路 1 2 3 は、ステップS 1 2 から動作を繰り返す。

20 図 2 0 は、位相制御回路 1 2 3 が 3 フィールド毎にクロック位相調整を開始する動作の一例を示すフローチャートである。以下、図 3 を参照しながら図 2 0 のフローチャートの説明を行う。

図 2 0 に示すように、位相制御回路 1 2 3 は、値 N を 0 に設定する (ステップS 2 1)。次に、位相制御回路 1 2 3 は 1 フィールドが終了したか否かを判定する (ステップS 2 2)。
25

位相制御回路 1 2 3 は 1 フィールドが終了していないと判定した場合は待機する。ステップS 2 2 において位相制御回路 1 2 3 は 1 フィールドが終了したと判定した場合、値 N が 2 以上か否かを判定する (ステップS 2 3)。位相制御回路 1 2 3 は、値 N が 2 以上でないと判定した場合は、値 N に 1 を加算する (ステッ

ブ S 2 4)。

ステップ S 2 3 において、位相制御回路 1 2 3 は値 N が 2 以上と判定した場合には、クロック位相調整を開始する (ステップ S 2 5)。その後、位相制御回路 1 2 3 は、ステップ S 2 1 の動作から繰り返す。

- 5 図 2 1 は、書き込み期間における遅延シフトクロック D S C K を発生するタイミングについて説明する図である。

図 2 1 (a) はシリアルデータ S D の波形図であり、図 2 1 (b) および図 2 1 (c) は遅延シフトクロック D S C K の波形図である。

- 10 図 1 8 で説明したように、クロック位相調整期間が終了すると、次の書き込み期間における遅延シフトクロック D S C K は図 5 の位相データ記憶回路 1 2 4 に記憶された遅延シフトクロック D S C K の最適位相が用いられる。

図 2 1 (b) のように書き込み期間の途中からシフトクロック S C K の交番パルスが発生する場合、シリアルデータ S D の最初の一部がラッチされず、図 3 のデータドライバ 2 にシリアルデータ S D の一部が転送されないことになる。

- 15 本実施の形態に係るプラズマディスプレイ装置においては、図 2 1 (c) のように書き込み期間が開始すると同時にシフトクロック S C K を発生し、シリアルデータ S D をすべてデータドライバ 2 に転送する。

- 20 位相制御回路 1 2 3 は、遅延シフトクロック D S C K の最適位相が検出された場合に、データドライバ 2 に出力されるシリアルデータ S D a の開始部の位相とデータドライバ 2 に出力される遅延シフトクロック D S C K の位相とが一致するように位相遅延信号 D P C によりデータ遅延回路 1 6 0 の遅延量を制御する。

遅延シフトクロック D S C K の位相が最適位相となったことが検出された場合にはラッチミスが生じないため、高い精度でシリアルデータ S D a の位相を調整することができる。

- 25 位相制御回路 1 2 3 により調整されたシリアルデータ S D a の位相は最適位相として位相データ記憶回路 1 2 9 に記憶され、位相制御回路 1 2 3 は、位相データ記憶回路 1 2 9 に最適位相が記憶された後の書き込み期間には、シリアルデータ S D a の位相を位相データ記憶回路 1 2 9 に記憶された最適位相に調整する。

それにより、最適な位相の遅延シフトクロック D S C K に同期して最適な位相

のシリアルデータ S D a がデータドライバ 2 に転送される。したがって、データドライバ 2 へのシリアルデータ S D a を安定して転送することが可能となる。

位相制御回路 1 2 3 は、遅延シフトクロック D S C K の最適位相またはシリアルデータ S D a の最適位相が検出されなかった場合に、遅延シフトクロック D S C K の位相を位相データ記憶回路 1 2 4 に前回記憶された最適位相に調整するとともに、シリアルデータ S D a の位相を位相データ記憶回路 1 2 9 に前回記憶された最適位相に調整する。

この場合、ノイズ等により遅延シフトクロック D S C K の最適位相またはシリアルデータ S D a の最適位相が検出されなかった場合でも、データドライバ 2 へのシリアルデータ S D a の安定した書き込み動作が保証される。

以上のことから、データドライバ 2 には必要なシリアルデータ S D をすべて転送することが可能である。

なお、本実施の形態に係るプラズマディスプレイ装置においては、遅延シフトクロック D S C K の立ち下がりでテストパターンをラッチしているが、遅延シフトクロック D S C K の立ち上がりでテストパターンをラッチしてもよい。

また、本実施の形態に係るプラズマディスプレイ装置においては、シリアルデータ S D がテストパターン発生回路 1 0 0 に入力されているが、シリアルデータ S D がテストパターン発生回路 1 0 0 を経由せずにデータ遅延回路 1 6 0 に与えられてもよい。

本実施の形態に係るプラズマディスプレイ装置においては、シフトクロック S C K がクロック信号に相当し、シフトクロック発生回路 1 0 がクロック信号発生器に相当し、サブフィールド変換部 8 がシリアルデータ発生器に相当し、テストパターン発生回路 1 0 0 がテスト信号発生器に相当し、フリップフロップ回路 1 1 0 がラッチ装置およびラッチ回路に相当し、ラッチミス検出回路 1 3 0 がラッチミス検出器およびラッチミス検出回路に相当し、クロック位相制御回路 1 2 0 または位相制御回路 1 2 3 およびクロック遅延回路 1 4 0 が位相調整装置に相当し、位相データ記憶回路 1 2 4 が第 1 の記憶装置に相当し、位相維持期間 S U S 1 ~ S U S 5 が調整期間に相当し、R S フリップフロップ回路 1 3 7 が保持回路に相当し、クロック遅延回路 1 4 0 がリングバッファに相当し、遅延回路 1 3 9

がリセット信号生成回路または遅延回路に相当し、出力回路 1 4 3 が選択器に相当し、遅延回路 B F (1) ~ B F (t) が遅延回路に相当し、出力回路 1 4 4 が接続回路に相当し、位相データ記憶回路 1 2 9 が第 2 の記憶装置に相当する。

(第 2 の実施の形態)

5 図 2 2 は、第 2 の実施の形態に係るクロック位相調整部 9 a の内部構成を示すブロック図である。

本実施の形態では、P D P 1 に 2 組のデータドライバ 2 a, 2 b が接続されている。

10 クロック位相調整部 9 a が図 4 のクロック位相調整部 9 と異なる点は、2 組のデータドライバ 2 a, 2 b に対して 2 組のテストパターン発生回路 1 0 0 a, 1 0 0 b、データ遅延回路 1 6 0 a, 1 6 0 b およびフリップフロップ回路 1 1 0 a, 1 1 0 b を含み、共通のクロック位相制御回路 1 2 0 およびワイヤードー O R 回路 1 5 0 を含む点である。

15 また、2 組のデータドライバ 2 a, 2 b は、それぞれラッチミス検出回路 1 3 0 a, 1 3 0 b を含む。

テストパターン発生回路 1 0 0 a, 1 0 0 b には、図 1 のサブフィールド変換部 8 により出力されたシリアルデータ S D とクロック位相制御部 1 2 0 により出力されたテストパターン制御信号 T P C とが与えられる。

20 テストパターン発生回路 1 0 0 a, 1 0 0 b は、図 2 で説明した書き込み期間 A D 1 ~ A D 5 において、サブフィールド変換部 8 から与えられたシリアルデータ S D をそのまま出力する。また、テストパターン発生回路 1 0 0 a, 1 0 0 b は、図 3 で説明したクロック位相調整期間においてテストパターン制御信号 T P C に応じてテストパターン T P を出力する。

25 データ遅延回路 1 6 0 a には、テストパターン発生回路 1 0 0 a により出力されたシリアルデータ S D またはテストパターン T P がそれぞれ与えられる。データ遅延回路 1 6 0 a は、テストパターン T P をそのまま出力し、クロック位相制御部 1 2 0 から与えられる位相遅延信号 D P C a に基づいてシリアルデータ S D を遅延させて出力する。

データ遅延回路 1 6 0 b には、テストパターン発生回路 1 0 0 b により出力さ

れたシリアルデータSDまたはテストパターンTPがそれぞれ与えられる。データ遅延回路160bは、テストパターンTPをそのまま出力し、クロック位相制御部120から与えられる位相遅延信号DPCbに基づいてシリアルデータSDを遅延させて出力する。

- 5 フリップフロップ回路110a, 110bには、データ遅延回路160a, 160bにより出力されたシリアルデータSDまたはテストパターンTPとシフトクロックSCKとが与えられる。

- 10 フリップフロップ回路110aは、シフトクロックSCKの立ち下がりでシリアルデータSDまたはテストパターンTPをラッチし、シリアルデータSDaまたはテストパターンTPaとして出力する。

フリップフロップ回路110bは、シフトクロックSCKの立ち下がりでシリアルデータSDまたはテストパターンTPをラッチし、シリアルデータSDbまたはテストパターンTPabとして出力する。

- 15 ラッチミス検出回路130aには、フリップフロップ回路110aにより出力されたテストパターンTPaとクロック位相制御部120が出力した遅延シフトクロックDSCKとが与えられる。ラッチミス検出回路130aは、テストパターンTPaを遅延シフトクロックDSCKの立ち下がりでラッチすることにより、ラッチミス発生の有無を示すラッチミス検出信号LMaを出力する。

- 20 ラッチミス検出回路130bには、フリップフロップ回路110bにより出力されたテストパターンTPabとクロック位相制御部120が出力した遅延シフトクロックDSCKとが与えられる。ラッチミス検出回路130bは、テストパターンTPabを遅延シフトクロックDSCKの立ち下がりでラッチすることにより、ラッチミス発生の有無を示すラッチミス検出信号LMbを出力する。

- 25 ラッチミス検出回路130a, 130bは、オープンドレイン出力を有する。ワイヤードーOR回路150には、ラッチミス検出回路130aが出力したラッチミス検出信号LMaとラッチミス検出回路130bが出力したラッチミス検出信号LMbとが与えられる。

ワイヤードーOR回路150は、ラッチミス検出信号LMa, LMbの論理積をラッチミス検出信号LMcとして出力し、クロック位相制御部120に与える

。したがって、ラッチミス検出信号LMa, LMbのいずれかにローの部分があれば、ラッチミス検出信号LMcにもローの部分が発生する。

クロック位相制御部120は、クロック位相調整期間にラッチミス検出信号LMcに基づいて遅延シフトクロックDSCKの最適位相を検出し、遅延シフトクロックDSCKを出力する。

また、クロック位相制御部120は、クロック位相調整期間後にシリアルデータSDa, SDbの最適位相を検出し、位相遅延信号DPCa, DPCbをそれぞれデータ遅延回路160a, 160bに与える。

データドライバ2a, 2bには、フリップフロップ回路110a, 110bが出力したシリアルデータSDa, SDbとクロック位相制御部120が出力した遅延シフトクロックDSCKとが与えられる。

上記のように、本実施の形態に係るクロック位相調整部9においては、ワイヤードーOR回路150により複数のラッチミス検出信号LMa, LMbの論理積がラッチミス検出信号LMCとして出力される。さらに、複数のデータドライバに対して1つのクロック位相制御回路120でシフトクロックSCKの位相調整が可能である。したがって、回路構成の単純化が可能である。

なお、本実施の形態に係るクロック位相調整部9aにおいては、データドライバ2a, 2bに対しそれぞれテストパターン発生回路100a, 100bが設けられているが、共通のテストパターン回路を設けてもよい。この場合、共通のテストパターン回路は、データドライバ2a, 2bのうちラッチミス検出の対象となる一方に対して選択的にテストパターンTPを発生する。それにより、クロック位相調整部9aの回路構成が単純化される。

また、本実施の形態に係るクロック位相調整部9aにおいては、データドライバ2の個数は2であるが、3以上あっても構わない。

本実施の形態に係るプラズマディスプレイ装置においては、テストパターン発生回路100a, 100bがテスト信号発生器に相当し、フリップフロップ回路110a, 110bがラッチ装置およびラッチ回路に相当し、ラッチミス検出回路130a, 130bがラッチミス検出器に相当する。

請 求 の 範 囲

1. 複数の放電セルと、

クロック信号を発生するクロック信号発生器と、

5 表示すべき画像に応じたシリアルデータを発生するシリアルデータ発生器と、
テスト信号を発生するテスト信号発生器と、

点灯させるべき放電セルを選択するための書き込み期間において、前記クロック信号に同期して前記シリアルデータ発生器により発生されるシリアルデータに基づいて前記複数の放電セルに選択的に駆動パルスを印加するデータドライバと

10 、

前記書き込み期間以外の期間において、テスト信号発生器により発生されるテスト信号に基づいて前記データドライバにおけるラッチミスの有無を検出するラッチミス検出器と、

15 前記ラッチミス検出器によりラッチミスが検出された場合に、ラッチミスが検出されたクロック信号の位相に基づいて前記クロック信号発生器から前記データドライバに与えられるクロック信号の位相を調整する位相調整装置とを備えた、
表示装置。

2. 前記データドライバは複数のデータドライバ部を含み、

20 前記ラッチミス検出器は、前記テスト信号発生器から出力されるテスト信号に基づいて各データドライバ部によるラッチミスの有無を検出する複数のラッチミス検出回路を含み、

前記位相調整装置は、前記複数のラッチミス検出回路のうち少なくとも1つによりラッチミスが検出された場合に、前記クロック信号発生器から前記複数のデータドライバ部に与えられるクロック信号の位相を調整する、請求項1記載の表示装置。

25

3. 前記複数のラッチミス検出回路は、オープンドレイン出力を有し、

前記位相調整装置は、前記複数のラッチミス検出回路のオープンドレイン出力

をワイヤードオア接続を介して受ける、請求項 2 記載の表示装置。

4. 前記テスト信号は、前記クロック信号の 1 周期ごとに反転する交番パルス信号である、請求項 1 記載の表示装置。

5

5. 前記位相調整装置は、所定の間隔ごとにクロック信号の位相を調整する、請求項 1 記載の表示装置。

6. 前記位相調整装置は、複数フィールドごとにクロック信号の位相を調整する、請求項 1 記載の表示装置。

10

7. 前記位相調整期間は、複数の調整期間を含み、

前記位相調整装置は、1 つの調整期間に前記クロック信号の調整が終了しない場合には、次の調整期間の最初から前記クロック信号の位相調整の続きを行う、

15

請求項 1 記載の表示装置。

8. 前記ラッチミス検出器は、前記テスト信号を前記クロックの 1 周期分遅延させた第 1 のテスト信号と、前記テスト信号を前記クロックの 2 周期分遅延させた第 2 のテスト信号との排他的論理和に基づいて、ラッチミスの有無を示すラッチミス検出信号を生成する、請求項 4 記載の表示装置。

20

9. 前記ラッチミス検出器は、前記ラッチミス検出信号を順に所定の遅延量ずつ遅延させた複数のラッチミス検出信号を生成し、前記複数のラッチミス検出信号の論理積を生成する、請求項 8 に記載の表示装置。

25

10. 前記ラッチミス検出器は、リセット信号が入力されるまでラッチミスの検出結果を保持する保持回路を含む、請求項 1 記載の表示装置。

11. 前記ラッチミス検出器は、ラッチミスの検出結果に基づいて前記リセット

信号を生成するリセット信号生成回路をさらに含む、請求項 10 記載の表示装置。

12. 前記リセット信号生成回路は、ラッチミスの検出結果を遅延させる遅延回路を含む、請求項 11 記載の表示装置。

13. 前記位相調整装置は、

前記クロック信号を所定の遅延量ずつ遅延させる複数の遅延素子を含むリングバッファと、

10 前記リングバッファの前記複数の遅延素子から出力される複数のクロック信号を選択的に出力する選択器とを含む、請求項 1 記載の表示装置。

14. 前記位相調整装置は、

異なる数の遅延量をそれぞれ有する複数の遅延回路と、

15 前記複数の遅延回路のうち 1 または複数を選択し、選択された 1 または複数の遅延回路により直列接続回路を構成するとともに前記クロック信号を前記直列接続回路に与える接続回路とを含む、請求項 1 記載の表示装置。

15. 前記位相調整装置は、前記クロック信号を 2 周期分遅延させるまでに前記

20 クロック信号の位相の調整を終了する、請求項 1 記載の表示装置。

16. 前記位相調整装置は、調整されるクロック信号の位相が最適位相となったことを検出し、クロック信号の位相が最適位相となったことが検出された場合に前記クロック信号の位相の調整を終了する、請求項 1 記載の表示装置。

25

17. 前記位相調整装置により調整されたクロック信号の位相を最適位相として記憶する第 1 の記憶装置をさらに備え、

前記位相調整装置は、前記第 1 の記憶装置により前記最適位相が記憶された後の書き込み期間には、前記クロック信号の位相を前記第 1 の記憶装置に記憶され

た前記最適位相に調整する、請求項 1 記載の表示装置。

1 8. 前記位相調整装置は、前記調整期間に前記クロック信号の調整が終了しない場合には、前記クロック信号の位相を予め前記第 1 の記憶装置に記憶された位相に調整する、請求項 1 7 記載の表示装置。

1 9. 前記位相調整装置は、前記クロック信号の位相を変化させて前記ラッチミスが発生しない位相の範囲を検出し、検出された範囲が所定のしきい値以上の場合に、前記検出された位相の範囲の中央の位相を前記最適位相として前記第 1 の記憶装置に記憶させる、請求項 1 7 記載の表示装置。

2 0. 前記位相調整装置は、前記シリアルデータの開始部が前記データドライバに出力されると同時に前記調整されたクロック信号がデータドライバに出力されるように前記シリアルデータに対するクロック信号の相対的な位相を調整する、請求項 1 7 記載の表示装置。

2 1. 前記位相調整装置は、前記クロック信号の位相が最適位相となったことが検出された場合に、前記データドライバに出力されるシリアルデータの開始部の位相と前記データドライバに出力されるクロック信号の開始部の位相とが実質的に一致するように前記シリアルデータの位相を調整する、請求項 2 0 記載の表示装置。

2 2. 前記位相調整装置により調整された前記シリアルデータの位相を最適位相として記憶する第 2 の記憶装置をさらに備え、
25 前記位相調整装置は、前記第 2 の記憶装置により前記最適位相が検出された後の書き込み期間には、前記シリアルデータの位相を前記第 2 の記憶装置に記憶された前記最適位相に調整する、請求項 2 1 記載の表示装置。

2 3. 前記位相調整装置は、前記クロック信号の最適位相または前記シリアルデ

一夕の最適位相が検出されなかった場合に、前記クロック信号の位相を前記第 1 の記憶装置に前回記憶された最適位相に調整するとともに前記シリアルデータの位相を前記第 2 の記憶装置に前回記憶された最適位相に調整する、請求項 2 2 記載の表示装置。

5

2 4. 前記調整期間は、前記書き込み期間において選択された放電セルの発光を維持する維持期間に設定される、請求項 1 記載の表示装置。

FIG. 1

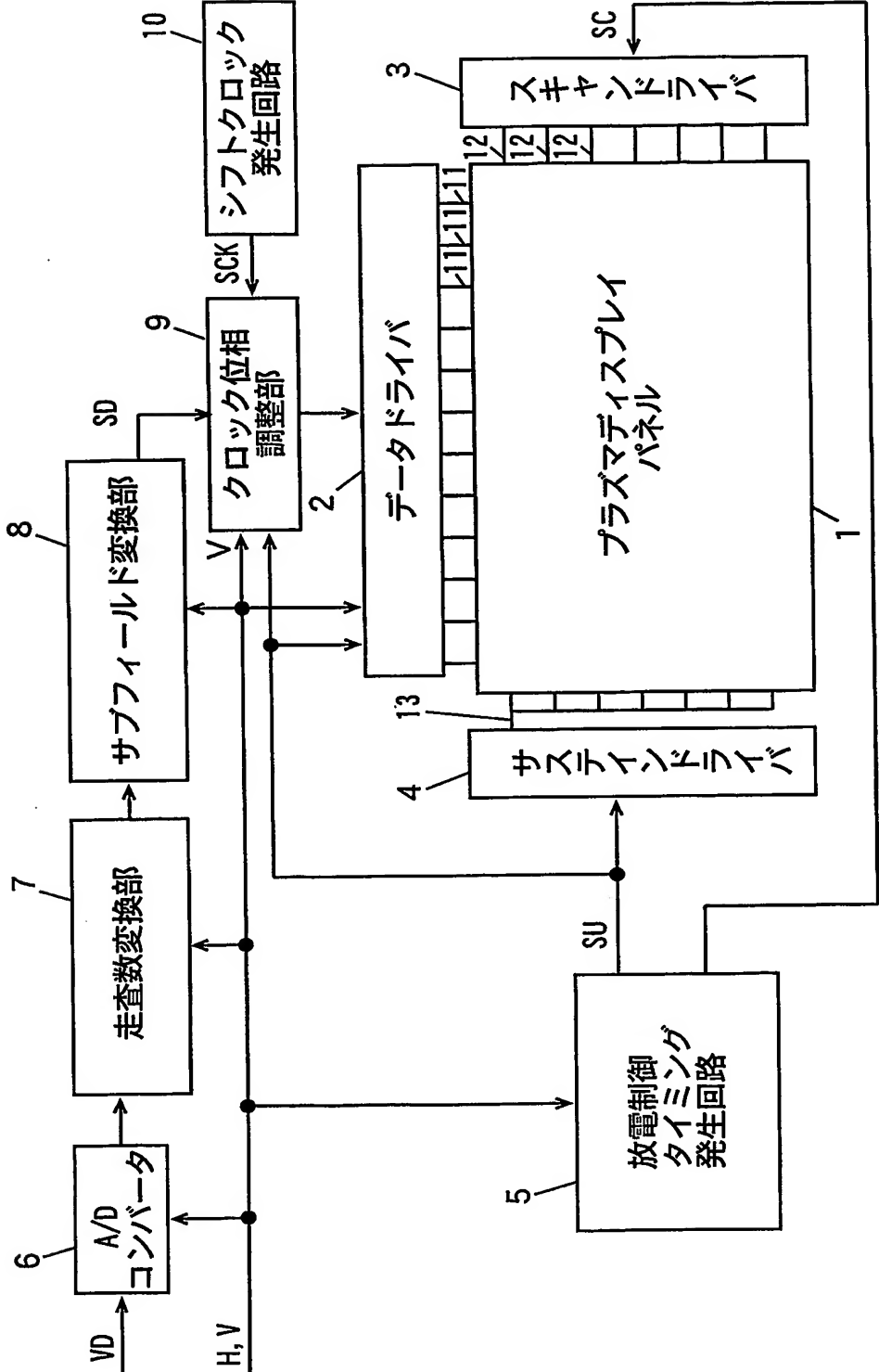


FIG. 2

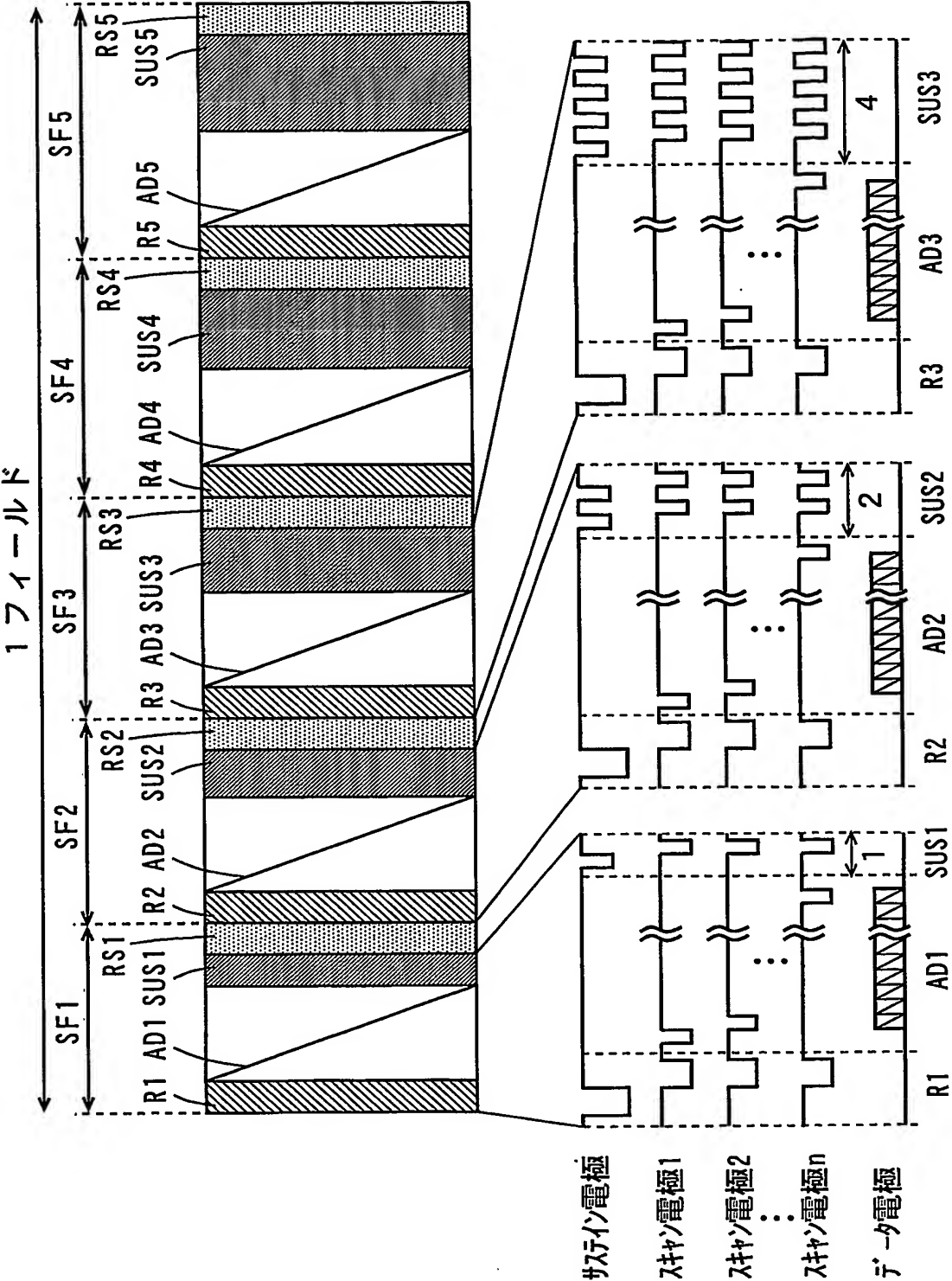


FIG. 3

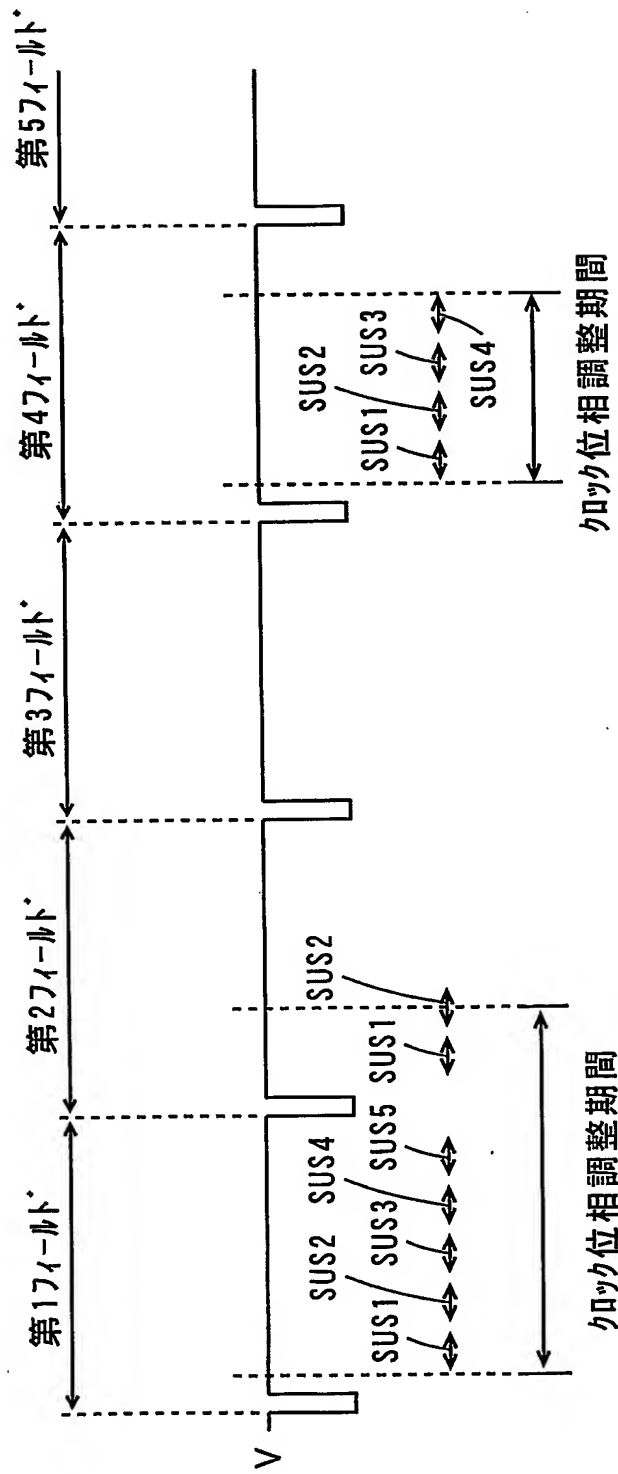


FIG. 4

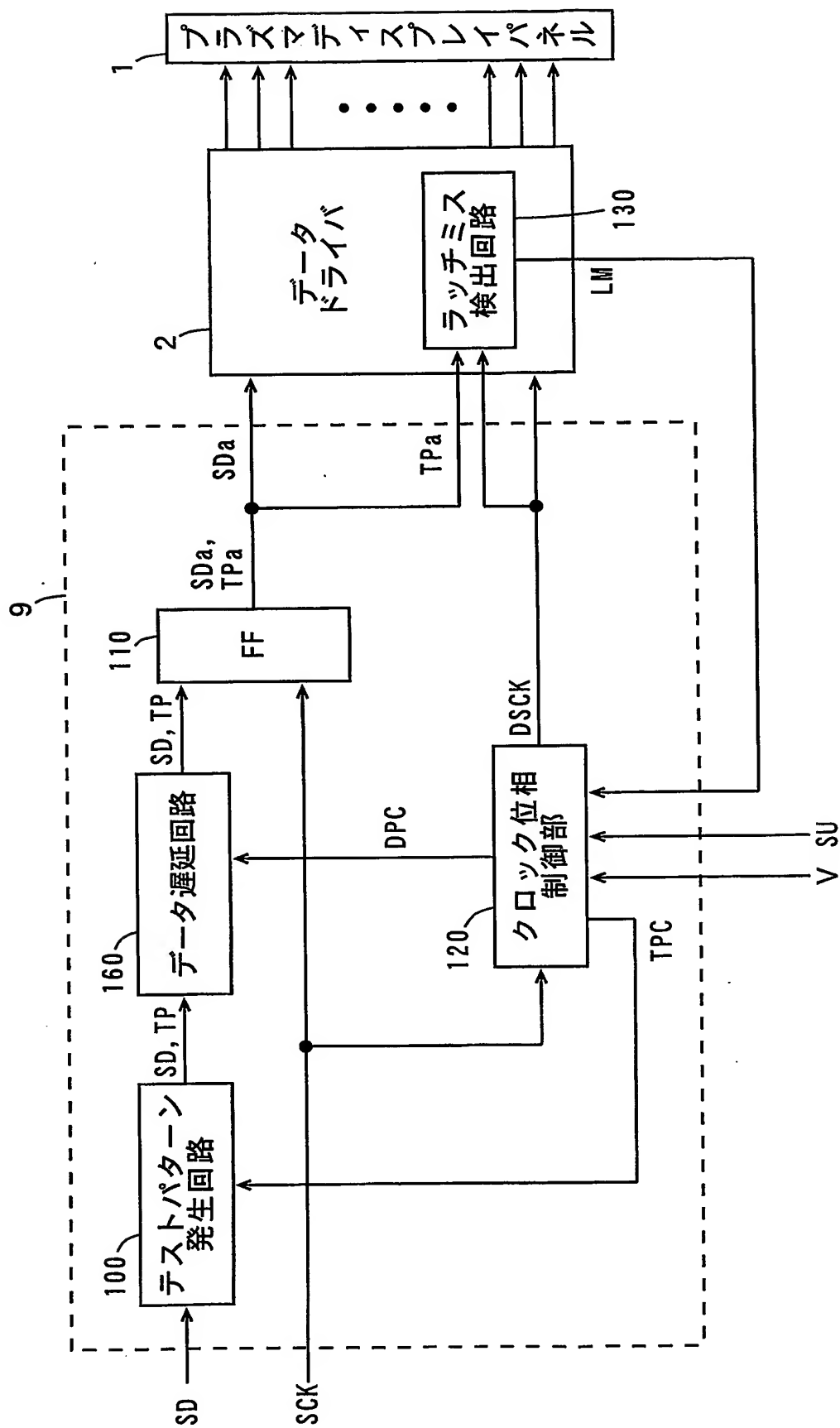


FIG. 5

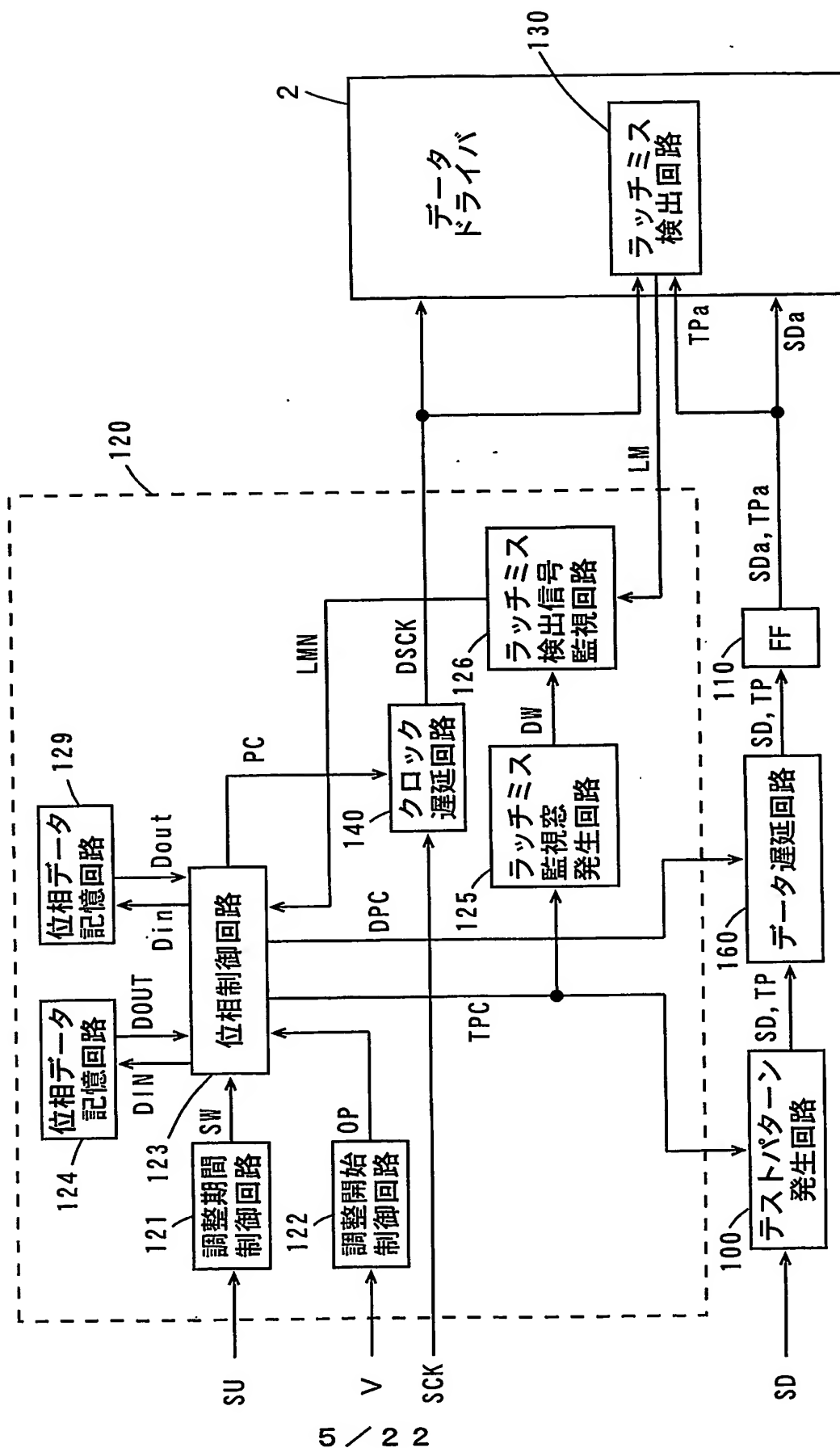


FIG. 6

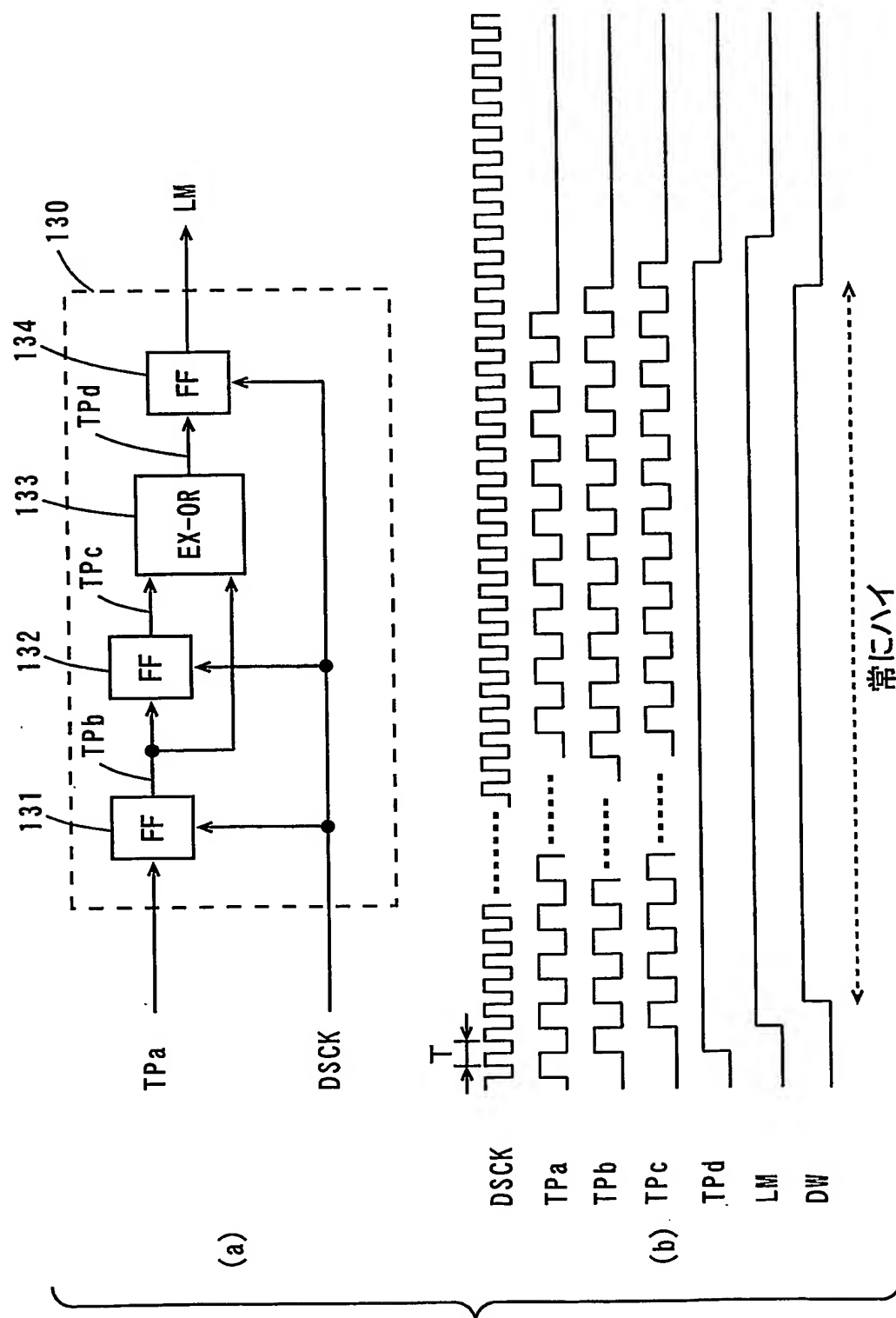


FIG. 7

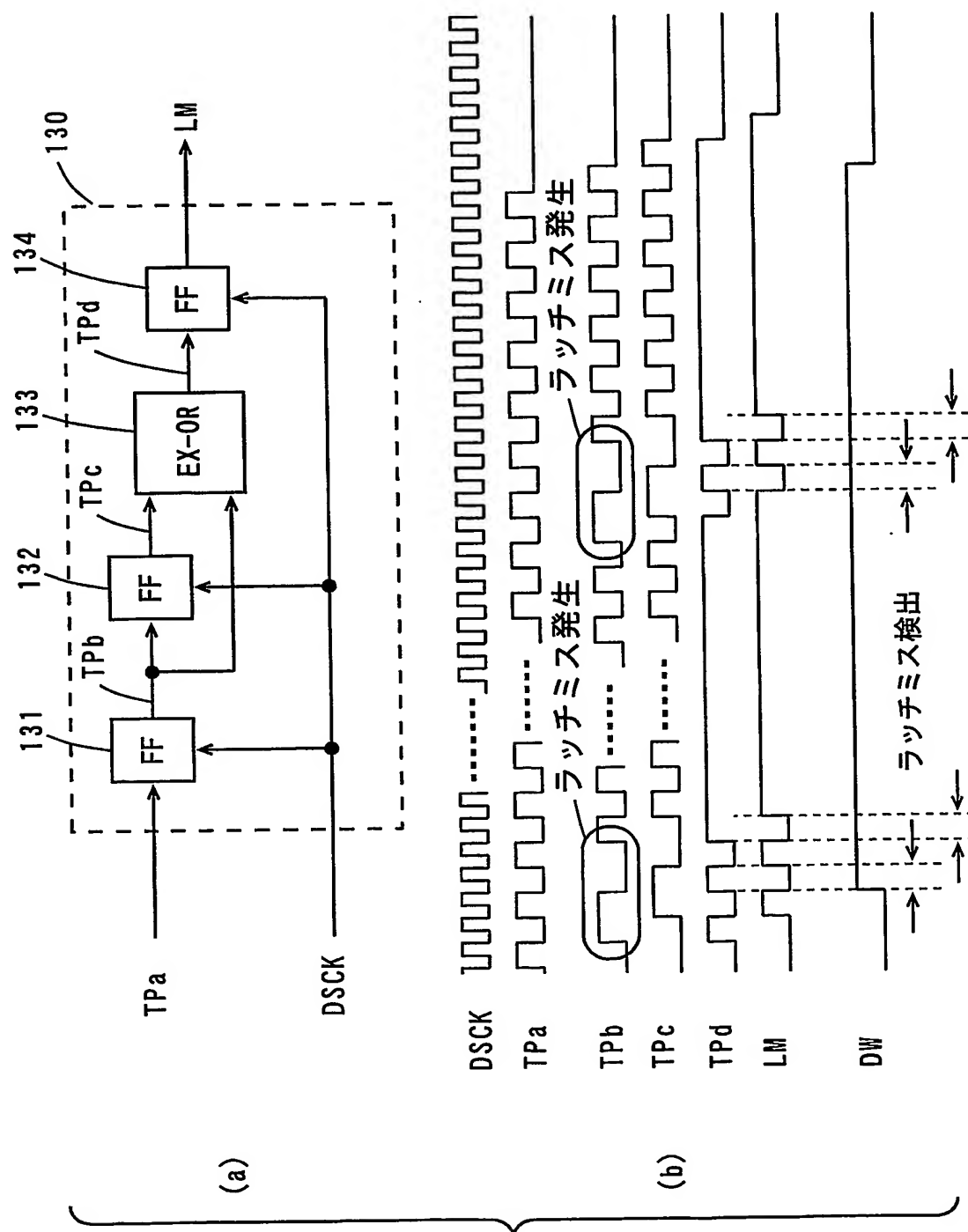


FIG. 8

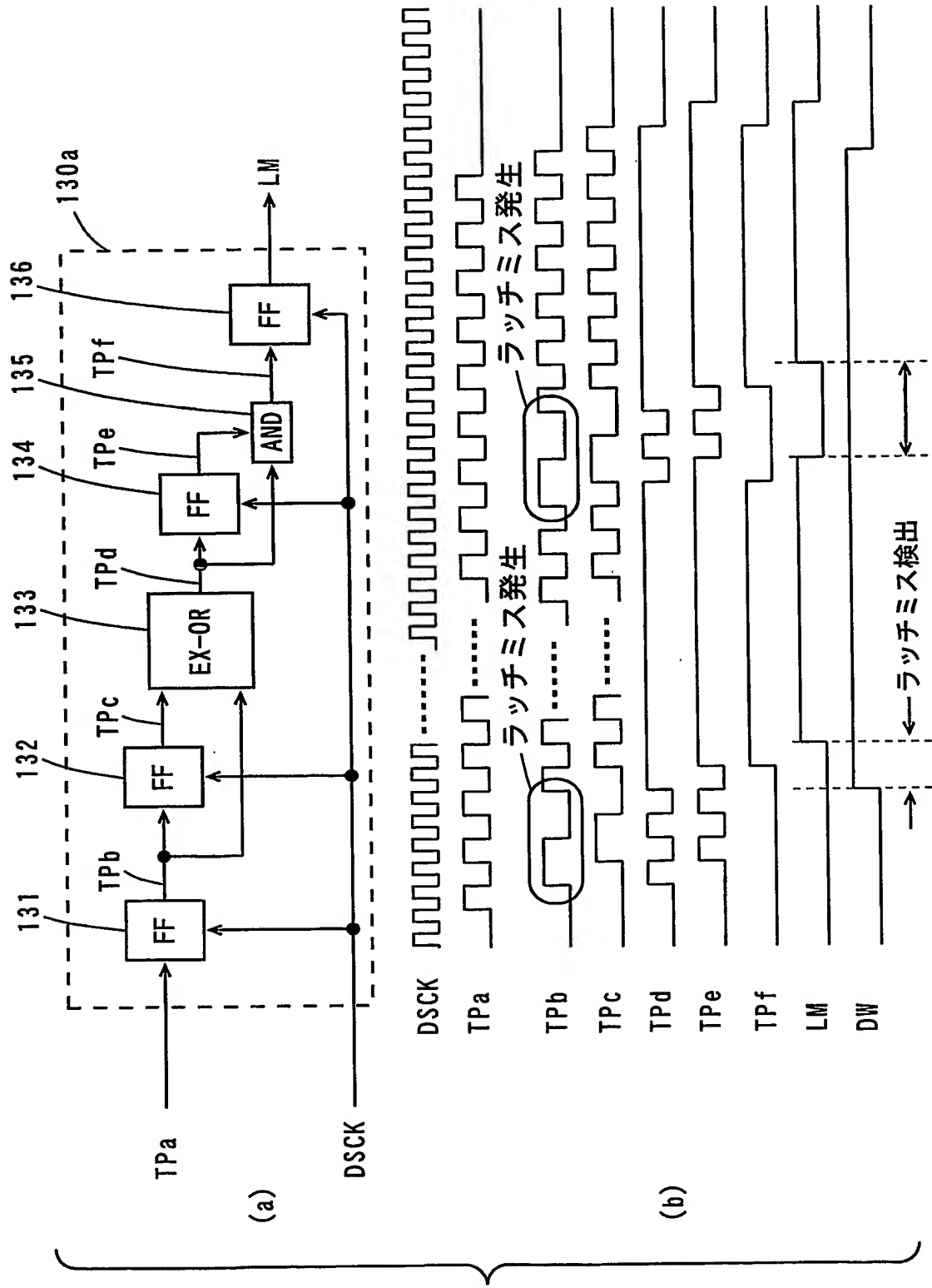


FIG. 10

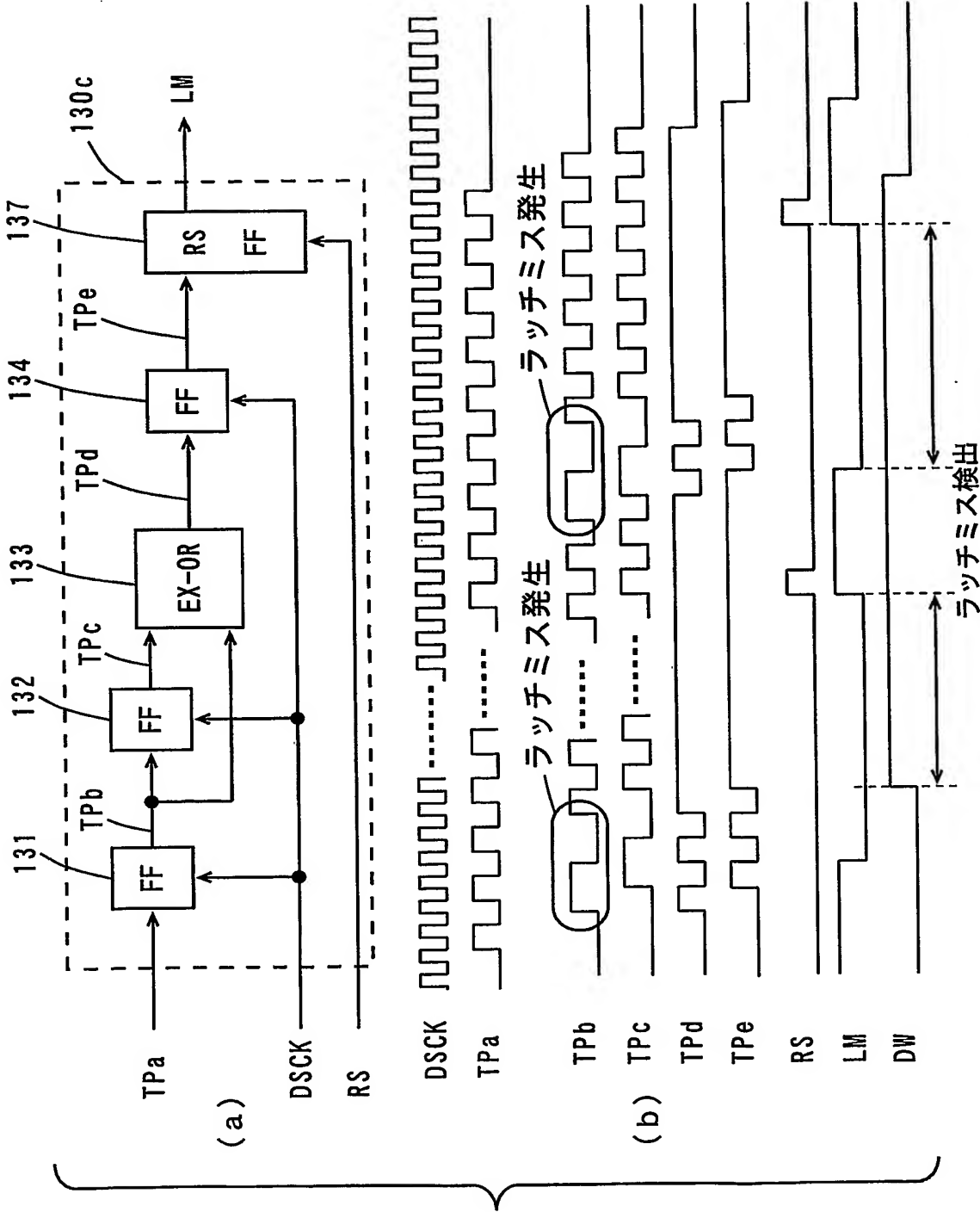


FIG. 11

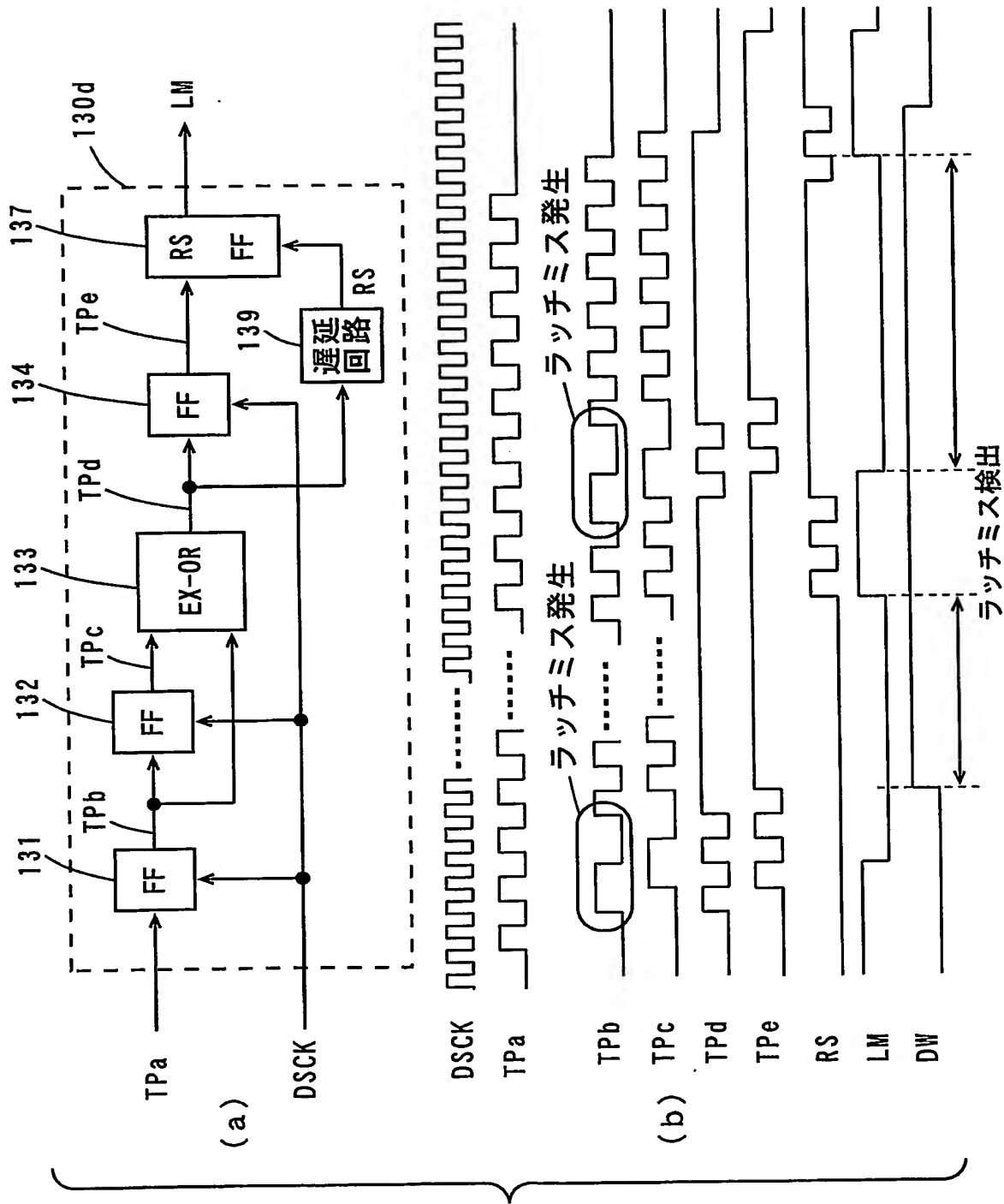


FIG. 12

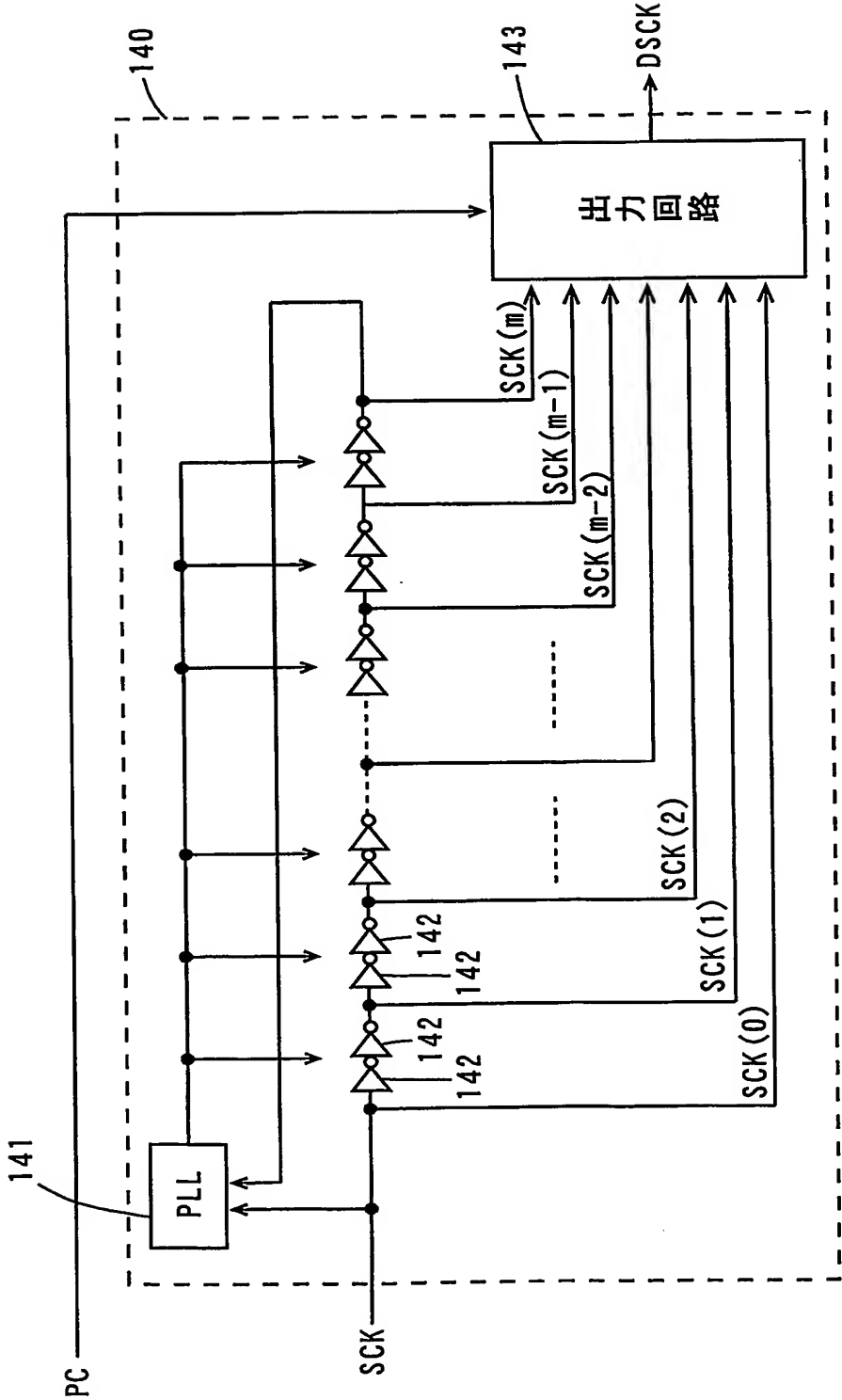


FIG. 13

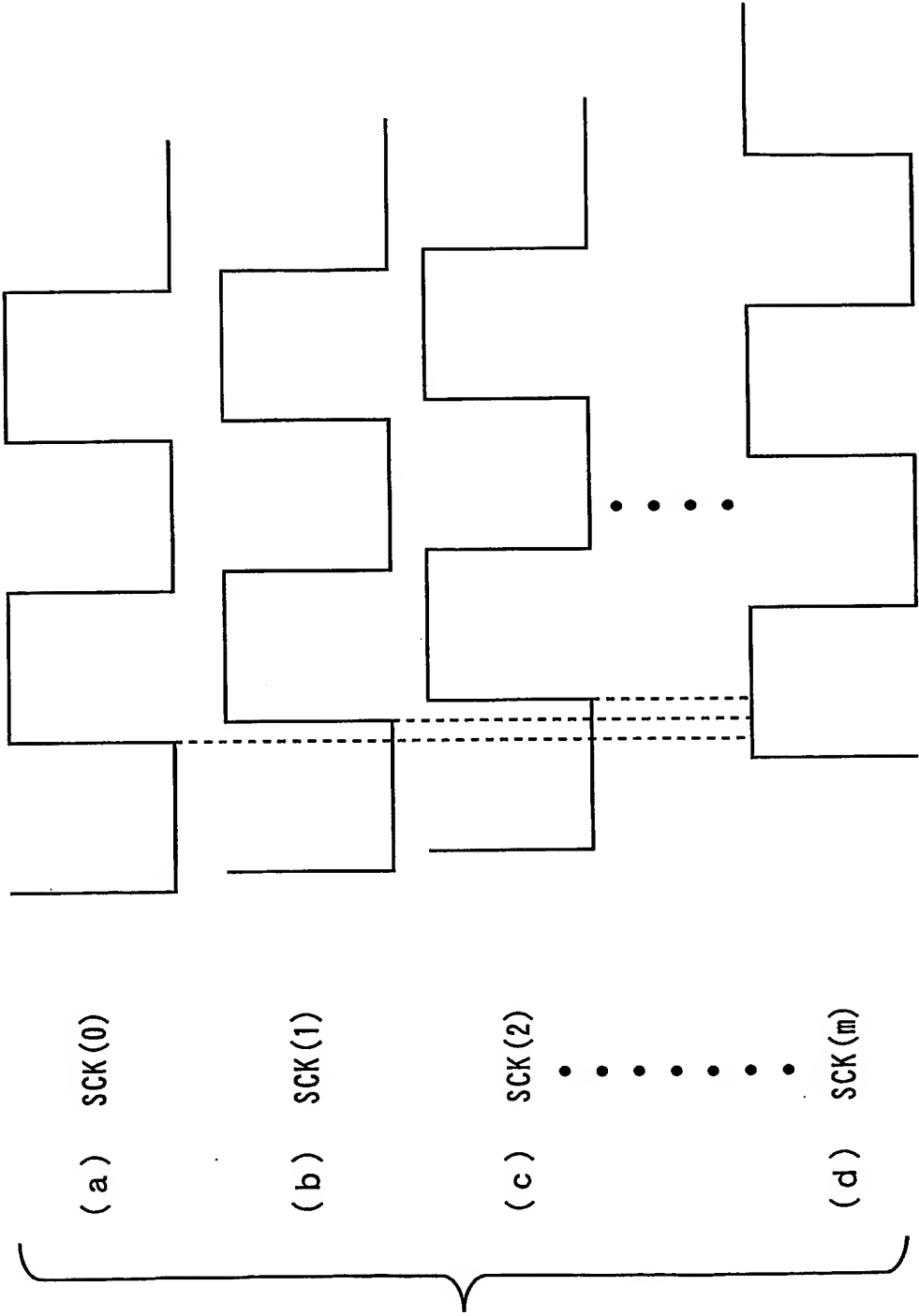


FIG. 14

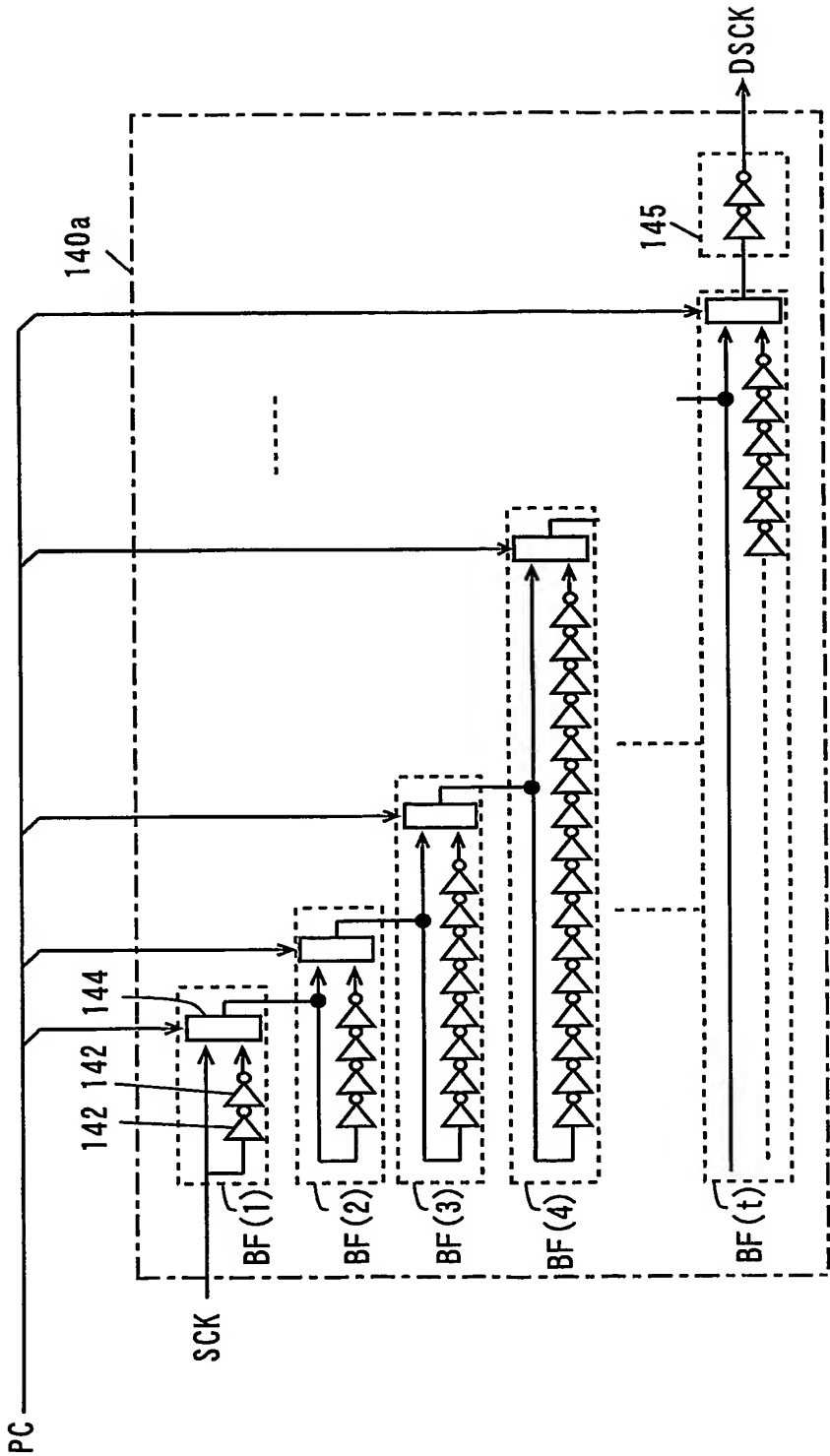
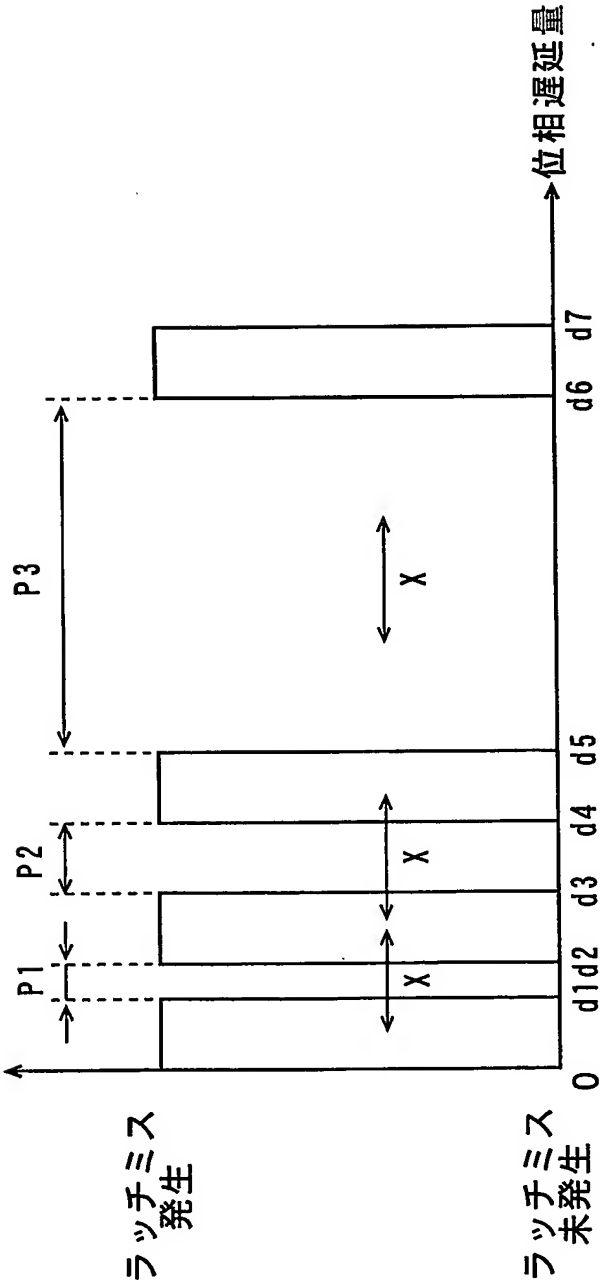


FIG. 15



$$\begin{aligned} P1 &< \text{しきい値} X \\ P2 &< \text{しきい値} X \\ P3 &> \text{しきい値} X \end{aligned} \Rightarrow \text{最適位相遅延量} = \frac{d5+d6}{2}$$

FIG. 16

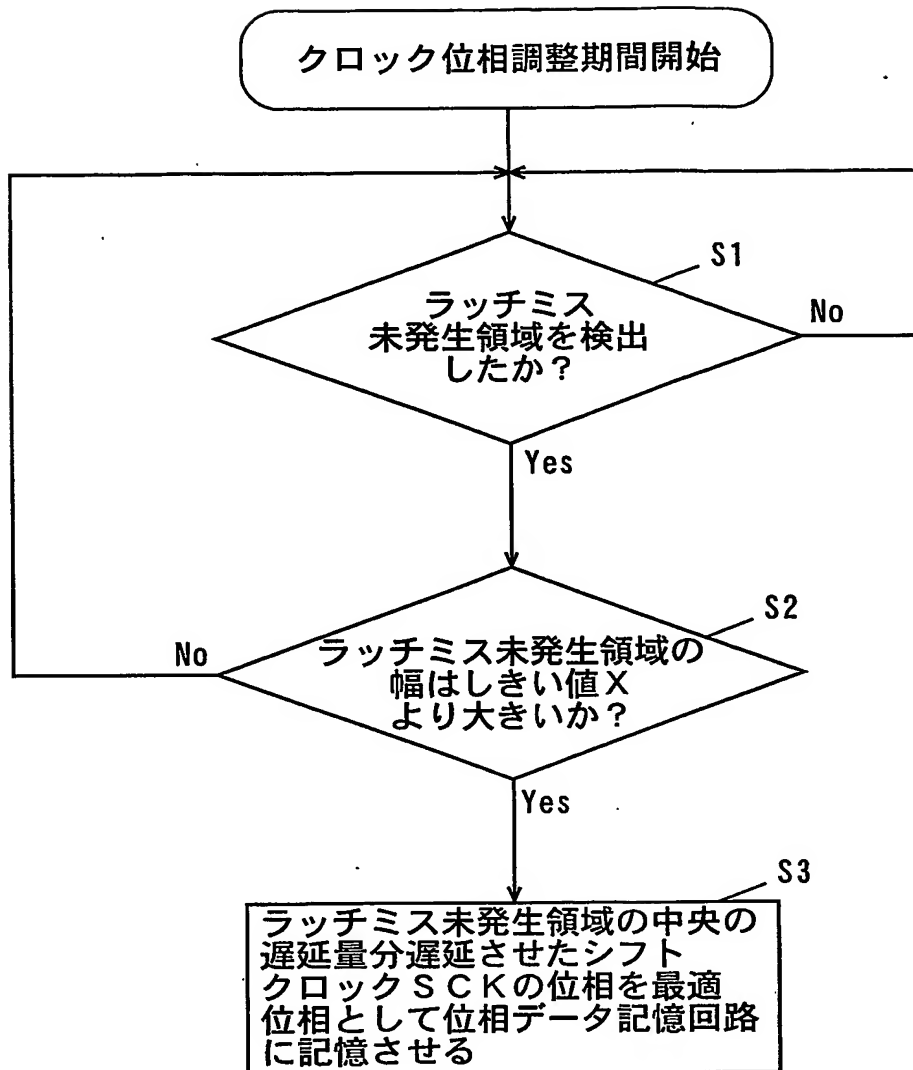


FIG. 17

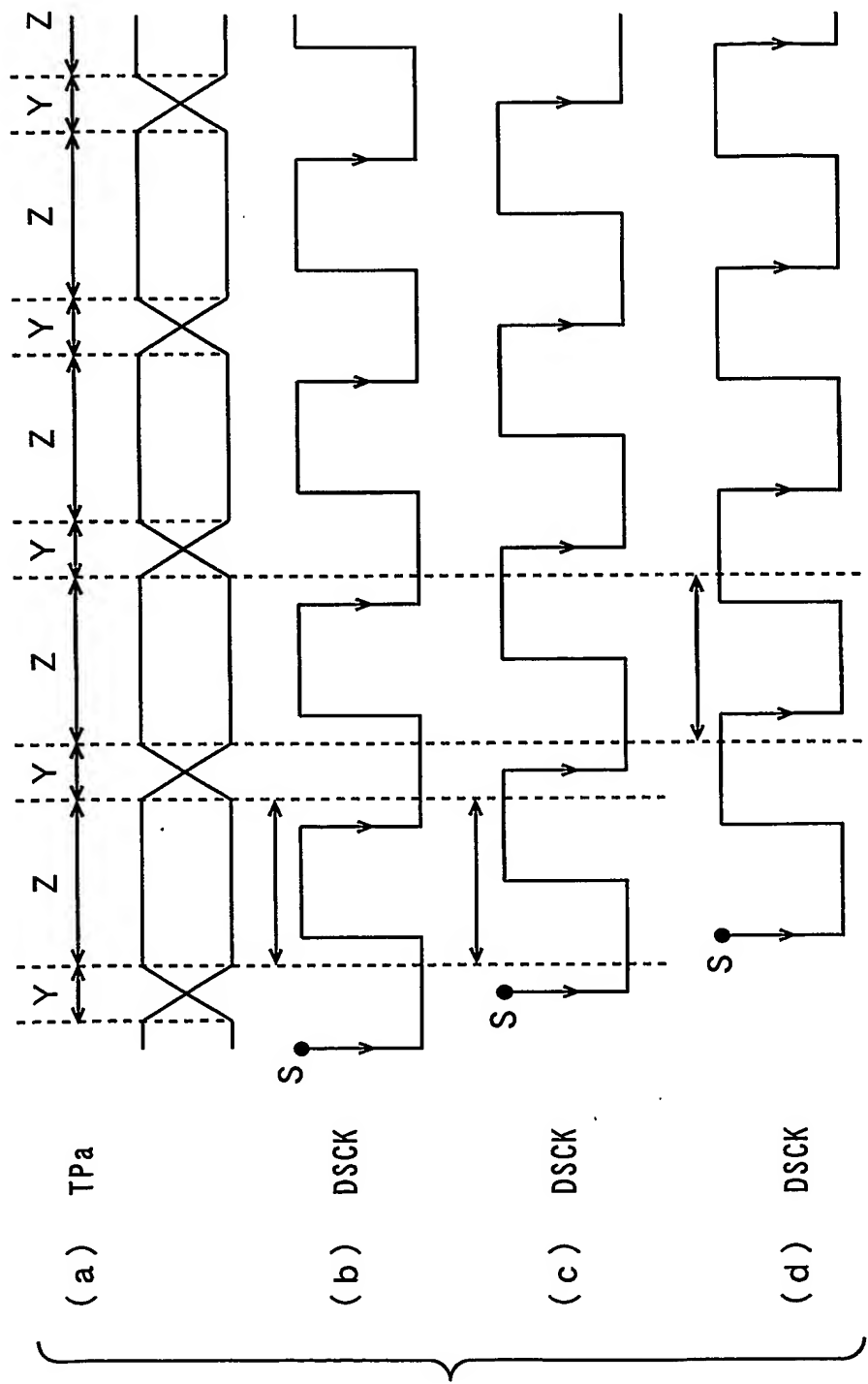


FIG. 18

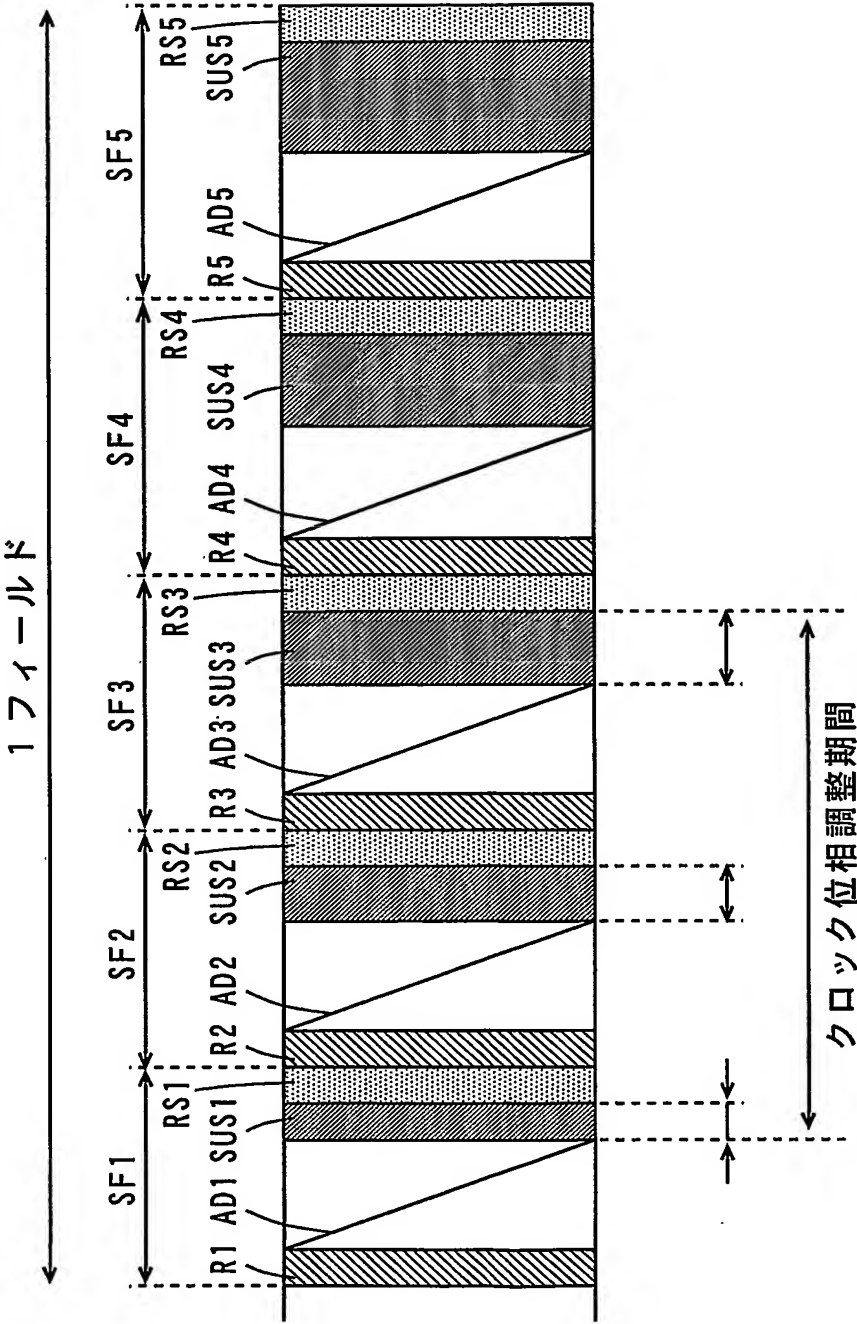


FIG. 19

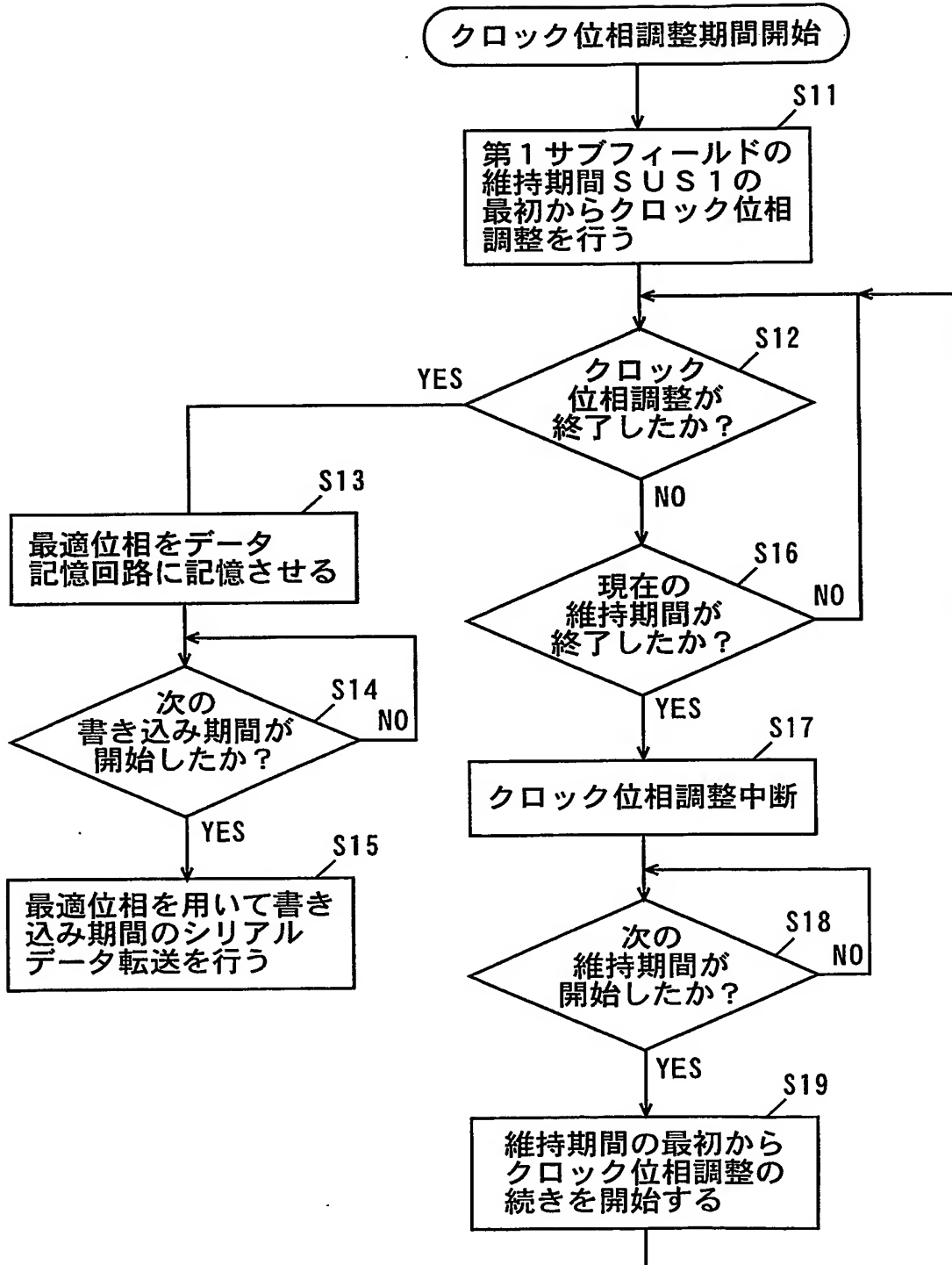


FIG. 20

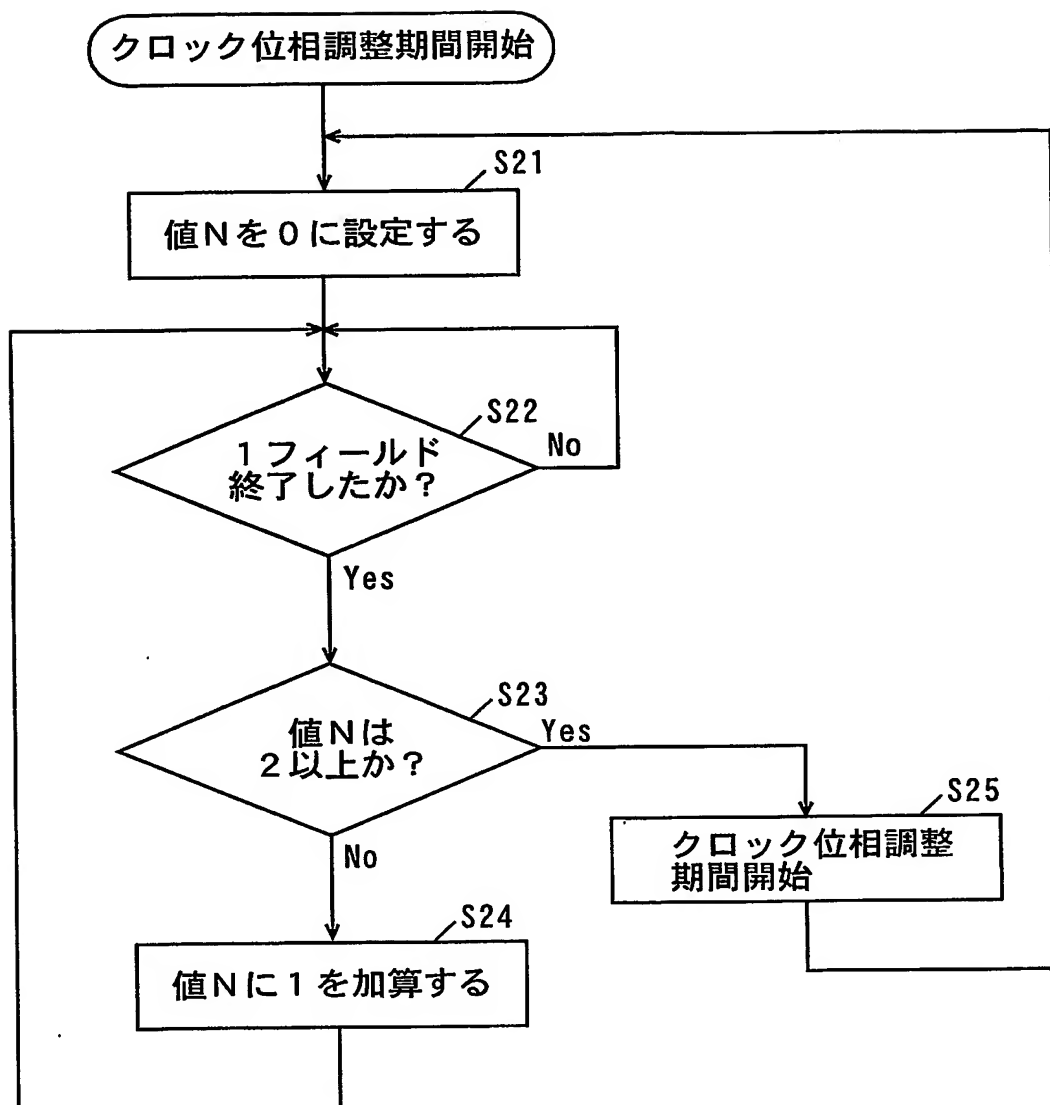


FIG. 21

